

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-078475

(43)Date of publication of application : 14.03.2000

(51)Int.Cl. H04N 5/335

H01L 27/146

H04N 9/07

(21)Application number : 10-248730 (71)Applicant : CANON INC

(22)Date of filing : 02.09.1998 (72)Inventor : HASHIMOTO SEIJI

(54) IMAGE PICKUP DEVICE AND IMAGE PICKUP SYSTEM USING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the numbers of temporary storage capacitors, stages of shift registers, common circuits, AGCs, and A/C converters by connecting a holding means shared by each photoelectric conversion part in a unit cell with a vertical output line and reading signals from the photoelectric conversion part to a signal holding means via the common circuit.

SOLUTION: A signal storage structuring part 100 is provided with a capacitor Cs for storing the signal and a capacitor Cn for storing the noise, etc. The capacitor Cs for storing the signal and the capacitor Cn for storing the noise are provided to one vertical output line in parallel via transistors M1, M2. The signal stored in the capacitor Cs and the noise stored in the capacitor Cn are read on each horizontal output line by simultaneously turning transistors M3, M4 on by a horizontal shift register 13, and the signal is converted into a digital signal by removing the noise from it by a subtraction amplifier 10. Two kinds of capacitor Cn, Cs are provided per one vertical output line, two trains of photoelectric

conversion signals are outputted by one vertical output line by a common amplifier and one capacitor is arranged per one train of photoelectric conversion parts.

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]In an imaging device with which two or more line disposition of the unit cell which has arranged a common circuit where a signal from two or more photoelectric conversion parts arranged by line writing direction at least and a photoelectric conversion part of this plurality is inputted was carried out, An

imaging device connecting to a vertical output line a signal holding means shared about each photoelectric conversion part in said unit cell, and reading a signal from said photoelectric conversion part to said signal holding means via said common circuit.

[Claim 2]The imaging device according to claim 1 which performs operation which performs a signal output from said signal holding means one by one for every photoelectric conversion part.

[Claim 3]Arrange two or more photoelectric conversion pixels to a line writing direction and a column direction, connect with a vertical output line, and a signal holding means shared about a photoelectric conversion pixel row of at least two rows said signal holding means, It consists of picture signal holding mechanism which accumulates a picture signal, and noise holding mechanism which accumulates a noise component of this picture signal, An imaging device which performs operation which reads a signal from each photoelectric conversion pixel to said signal holding means, and performs a signal output from said signal holding means one by one for every photoelectric conversion pixel about a column direction and a line writing direction of said photoelectric conversion pixel row of at least two rows.

[Claim 4]The imaging device comprising according to claim 2 or 3:

Picture signal holding mechanism in which said signal holding means

accumulates a picture signal.

A means which consists of noise holding mechanism which accumulates a noise component of this picture signal, and carries out the difference of this noise component from this picture signal.

[Claim 5]The imaging device according to claim 1 having arranged a colored filter to said photoelectric conversion part.

[Claim 6]The imaging device according to claim 3 having arranged a colored filter to said photoelectric conversion pixel.

[Claim 7]The imaging device according to claim 3 with which said photoelectric conversion pixel has the amplifier into which a signal from a photoelectric conversion part and this photoelectric conversion part is inputted.

[Claim 8]The imaging device according to claim 1, wherein said common circuit has an amplifying means which amplifies a signal from said photoelectric conversion part, and a resetting means which resets said unit cell.

[Claim 9]The imaging device according to claim 7, wherein said amplifier has an amplifying means which amplifies a signal from said photoelectric conversion part, and a resetting means which resets said unit cell.

[Claim 10]An imaging device providing an adjustment device for adjusting a pitch between said photoelectric conversion parts to even pitch at least in a

perpendicular direction or horizontal one way in one claim of claims 1, 2, 4, 5, 7, and 8 in an imaging device of a statement.

[Claim 11]An imaging device characterized by said adjustment device being a light-shielding film in the imaging device according to claim 10.

[Claim 12]An imaging device having arranged said common circuit to the central part of a unit cell in an imaging device given in one claim of claims 1, 2, 4, 5, 8, 10, and 11.

[Claim 13]An imaging device having arranged said light-shielding film between adjacent unit cells in the imaging device according to claim 11.

[Claim 14]An imaging device said unit cell was horizontal at least, or having arranged said light-shielding film in the imaging device according to claim 13 in a position which serves as axial symmetry to a vertical center line.

[Claim 15]An imaging system comprising:

An imaging device given in one claim of claims 1-14.

A lens which carries out image formation of the light to said imaging device.

A digital disposal circuit which processes an output signal from said imaging device.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention an imaging device and it with respect to the used imaging system especially, The unit cell which has arranged the common circuit where the signal from two or more photoelectric conversion parts arranged by the line writing direction at least and the photoelectric conversion part of this plurality is inputted is related with the imaging device which arranged two or more photoelectric conversion pixels to the imaging device or line writing direction, and column direction by which two or more line disposition was carried out, and the imaging system using it.

[0002]

[Description of the Prior Art] There is a CMOS area sensor which formed the amplification amplifier set to one of the amplified type sensors from a CMOS circuit in one pixel.

[0003] Random access is possible for a CMOS area sensor to a CCD type area sensor, and it is dominance in respect of various functions nature and low-power-consumption nature.

[0004] Namely, since a CCD type area sensor is outputted to the exterior,

transmitting the signal by which photoelectric conversion was carried out one by one, Random access is difficult, and although power consumption is large, since the CMOS area sensor can choose and output arbitrary pixels, it is low power consumption, and it is a mounting top low noise, and is easy to mount.

[0005]

[Problem(s) to be Solved by the Invention]In the above-mentioned CMOS area sensor, when producing variation in the characteristic of pixel amplifier, in order to amend the variation, adding a memory is called for. However, the technical problem which the packaging area of a memory will become large if a memory is provided for every pixel, and serves as a high cost occurs. Hereafter, in order to amend variation, an example of an imaging device which has a memory is explained. The variation in the characteristic of pixel amplifier can be controlled by reading a noise signal from a pixel and carrying out difference from a pixel signal.

[0006]Drawing 17 - drawing 19 are the rough circuitry figures showing an example of the variation correction circuit of the imaging device of a conventional example, respectively. The composition shown in drawing 18 is indicated by JP,1-245769,A, and the composition shown in drawing 19 is indicated by JP,9-247546,A.

[0007]In drawing 17, the signal corresponding to R1 pixel, G1 pixel, G2 pixel,

and B-2 pixel and a noise are read to capacity C_s and capacity C_N which were provided for every pixel, respectively. That is, the capacity for accumulating a signal and a noise temporarily is provided by eight pieces. the signal corresponding to R1 pixel and G2 pixel (G1 pixel, B-2 pixel), a noise signal, and ** -- be read simultaneously, and difference processing should be carried out and pass AGC -- an analog to digital is carried out with an A/D converter, and it becomes a digital signal.

[0008]In drawing 18, it is with the resetting means connected to the electrode of capacity C_p and capacity C_p , and difference processing of a noise and the signal is carried out, and the signal G (B) with which the noise was removed for the signal R (G) with which the noise was removed by the capacity C_2 is accumulated in the capacity C_1 temporarily. A signal is inputted into the input electrode side of capacity C_p , after outputting a noise to the input electrode side of capacity C_p where the output electrode side of capacity C_p is made into constant potential and making the output electrode side of capacity C_p into a floating state, in order to carry out the difference of the noise. if it carries out like this -- a part (signal-noise) for the input electrode side of capacity C_p -- potential -- changing -- the output electrode side of capacity C_p -- the same (signal-noise) -- a part -- potential -- since it changes, the signal by which noise rejection was carried out will be outputted. The point sequential signal of R and G and the

point sequential signal of G and B are outputted to a level output line for every horizontal scanning. The analog to digital of the signal is carried out with an A/D converter through subtraction amplifier and AGC, and it turns into a digital signal.

The memory of this digital signal is carried out for every primary signal within two or more line memory or a frame memory, and image processing is performed.

There is the memory method variously by a system.

[0009]In drawing 19, about the noise and signal which were read from each vertical output line, a noise is removed from a signal and it accumulates in storage capacitance C_s temporarily. In order to remove a noise, after one [M_r] and resetting the transistor M_t and M_r , the electric charge which impressed the negative pulse to capacity C_p at the noise output period, and exceeded channel potential phin of transistor M_s is transmitted to capacity C_s , and this electric charge is discharged. [the transistor M_t] The electric charge which impressed the negative pulse to capacity C_p and exceeded channel potential phis of transistor M_s again at the signal output period is transmitted to capacity C_s . The electric charge transmitted to capacity C_s here serves as a signal with which it became C_{px} (phis-phin) and the noise was removed.

[0010]In these imaging devices, at least two capacity is provided to the pixel row (one vertical output line) of one row. Although the value of the capacity to add is decided by the thickness and the electrode area of a dielectric layer, tens of% of

chip areas are usually formed.

[0011]In particular, in the example of composition of drawing 17, the amplifier which carries out difference processing of a noise and the signal is needed for every pixel, and power consumption becomes large. In order to lower read-out speed, when signal read-out of two or more horizontal lines is performed simultaneously, storage capacitance will increase further and will cause increase of a chip area temporarily.

[0012]The user is for power consumption to increase, and for photography number of sheets to become fewer, and to pay high cell cost, when the digital still camera became millions of pixels in recent years.

[0013]The infrastructure of IMT-2000 in which high-speed data transmission is possible is prepared, and pictorial communication gets into stride past A.D. 2000. And the sensor of low power consumption, circumference IC, and a cost cut are called for to spread such mobile pictorial communication.

[0014]

[Means for Solving the Problem]In an imaging device with which two or more line disposition of the unit cell which has arranged a common circuit where a signal from two or more photoelectric conversion parts by which an imaging device of this invention was arranged by line writing direction at least, and a photoelectric conversion part of this plurality is inputted was carried out, A signal holding

means shared about each photoelectric conversion part in said unit cell is connected to a vertical output line, and a signal is read from said photoelectric conversion part to said signal holding means via said common circuit.

[0015]An imaging device of this invention arranges two or more photoelectric conversion pixels to a line writing direction and a column direction, About a photoelectric conversion pixel row of at least two rows, connect with a vertical output line and a signal holding means to share said signal holding means, It consists of picture signal holding mechanism which accumulates a picture signal, and noise holding mechanism which accumulates a noise component of this picture signal, A signal is read from each photoelectric conversion pixel to said signal holding means, and operation which performs a signal output from said signal holding means is performed one by one for every photoelectric conversion pixel about a column direction and a line writing direction of said photoelectric conversion pixel row of at least two rows.

[0016]This invention is characterized by an imaging system comprising the following.

An imaging device of above-mentioned this invention.

A lens which carries out image formation of the light to said imaging device.

A digital disposal circuit which processes an output signal from said imaging device.

[0017]

[Example]Hereafter, the example of this invention is described in detail using a drawing.

[0018]drawing 1 should pass one common amplifiers (a common circuit is constituted) in the signal from four photoelectric conversion parts -- it is a rough lineblock diagram showing the example at the time of applying this invention in the imaging device to read.

[0019]The photoelectric conversion cell (unit cell) S of this example comprises four photoelectric conversion parts and one common amplifiers, For example, the light filter R1 (red), G1 (green), G2 (green), and B-2 (blue) are provided in the photoelectric conversion part a11 of drawing 1, a12, a21, and a22, and R1 signal, G1 signal, B-2 signal, and G2 signal are outputted via a vertical output line from the common amplifiers A1 from each photoelectric conversion part. From the common amplifiers A1, the noise after reset is also outputted via a vertical output line.

[0020]100 is the transistor M3 for the transistor M1 capacity C_s for signal accumulation, capacity C_N for noise accumulation, and for a capacity change, M2, and a signal output, and a signal accumulation formation part which comprises M4. Capacity C_s for signal accumulation and capacity C_N for noise

accumulation are provided in one vertical output line in parallel via the transistor M1 and M2. Simultaneously, and it is read to each level output line, [the signal accumulated in capacity C_s , and the noise accumulated in capacity C_N] [the transistor M3 controlled by the horizontal shift register (H-SR) 13, and M4] A noise is removed from a signal by the subtraction amplifier 10, and it is changed into a digital signal through AGC(automatic gain control) 11 and A/D converter

12. A level output line is reset by the transistor M6 controlled by phiHC.

[0021]What is necessary is just to arrange the capacity of one per a row of photoelectric conversion part sequence, since the signal of a two-row photoelectric conversion part sequence is outputted by common amplifiers by one vertical output line although the capacity of two per vertical output line is provided in this example.

[0022]Drawing 2 is a figure showing the composition of the photoelectric conversion cell S. As shown in drawing 2, the photoelectric conversion cell S arranges four photoelectric conversion parts (here a_{11} , a_{12} , a_{21} , a_{22}) to one common amplifiers, and is constituted. It has composition with the same said of other photoelectric conversion cells. Here, common amplifiers comprise the amplifying means MSF, resetting means MRES, selection means MSEL, and the transfer means MTX1-MTX4. The transfer means MTX1-MTX4 will be in an ON state one by one by control signal phiGT1 - phiGT4, and a signal is transmitted

to the input part (gate) of the amplifying means MSF one by one from photoelectric conversion part a_{11} , a_{12} , a_{21} , and a_{22} . If selection means MSEL will be in an ON state by select signal phiSO, the signal corresponding to the signal charge transmitted to the gate of the amplifying means MSF will be read to a vertical output line. Before a signal is transmitted to the input part (gate) of the amplifying means MSF from a photoelectric conversion part, resetting means MRES will be in an ON state by reset-signal phiGCL, and the input part of the amplifying means MSF is reset, and it is sent to a vertical output line via selection means MSEL as a noise.

[0023]The timing chart for explaining operation of the above-mentioned imaging device is shown in drawing 3. Read-out of each chrominance signal is performed one by one by time sharing at one horizontal scanning period (reading R1 (period phiR), reading $\rightarrow G1$ (period phiG), and reading $\rightarrow B-2$ read-out (period phiB) $\rightarrow G2$ (period phiG')), and a signal and a noise are outputted from storage capacitance C_S and C_N after read-out of a chrominance signal temporarily. A noise is removed from a signal by the subtraction amplifier 10, it is changed into a digital signal through AGC11 and A/D converter 12, and R1 signal, G1 signal, B1 signal, and G2 signal are outputted (signal output out1).

[0024]In this example, an output signal is each color line sequential signal. The digital signal after an A/D conversion is accumulated by a latter memory

temporarily, and image processing is made. The noise rejection method can apply the thing of various methods, such as a clamped type shown not only in this example but in drawing 18, and a sliced type shown in drawing 19.

[0025]Drawing 4 is a timing chart which shows the timing within each chrominance-signal read-out period.

[0026]In R1 read-out period shown in drawing 4, in the period T1, signal phiTS, phiTN, and phiVL are made high-level, and the residual charge on the storage capacitance CS and CN is removed by making the transistor M1, M2, and M5 into an ON state a vertical output line and temporarily.

[0027]Next, in the period T2, signal phiGCL, phiSO, and phiTN are made high-level, Common amplifiers are reset by making resetting means MRES into an ON state, and noise accumulation to the storage capacitance CN is performed read-out of the noise of common amplifiers, and temporarily by making selection means MSEL and the transistor M2 into an ON state.

[0028]Next, in period T3, signal phiGT, phiSO, and phiTS are made high-level, A signal is transmitted to the input part (gate) of common amplifiers from a photoelectric conversion part by making transfer means MTX1 into an ON state, and photoelectric conversion signal accumulation to storage capacitance CS is performed read-out of a photoelectric conversion signal and temporarily by making selection means MSEL and the transistor M1 into an ON state. The

same processing is made also in G1, B-2, and G2 read-out period.

[0029]The entire configuration figure of the above-mentioned imaging device is shown in drawing 5.

[0030]Control of reset of each photoelectric conversion cell, noise signal read-out, and photoelectric conversion is performed by the vertical shift register (V-SR) 15, Control of the noise rejection and the memory part 14 which consists of the signal accumulation formation part 100 is performed by the horizontal shift register (H-SR) 13, a noise is removed from a signal by the subtraction amplifier 10, and it is changed into a digital signal through AGC11 and A/D converter 12. The timing generator 16 controls operation of the vertical shift register (V-SR) 15, the horizontal shift register (H-SR) 13, the differential amplifier 10, AGC11, and A/D converter 12. 17 is an image sensor part by which the photoelectric conversion cell has been arranged at matrix form.

[0031]Although the example of drawing 1 was division read-out and the signal outputting method of two-line a 4-pixel unit cell, of course, the multi-line which increased this further, and two or more pixels may be sufficient.

[0032]Although the above example explained the common circuit portion A1, A2, and ... as amplifier, they may be other digital disposal circuits, such as an A/D conversion circuit and a compression circuit, for example.

[0033]Drawing 6 is a rough lineblock diagram showing the example of an

imaging device when a single cell comprises one photoelectric conversion part and one amplifier. Drawing 7 is a figure showing cell constitution.

[0034]In the case of this example, the control line of the transfer switch means MTX is formed for every even number sequence with an odd number sequence, and it controls it by signal phiGT1 and phiGT2. And it is accumulated in the capacity CN, and, and it is accumulated in capacity CS. [the noise read from the pixel R1] [the transistor M7 and M2] [the picture signal read from the pixel R1] [the transistor M7 and M1] And it is outputted to a level output line from the capacity CN and CS. Then, the noise and picture signal which were similarly read from other pixels (G1, G2, B-2) are accumulated in the capacity CN and CS, and are outputted to a level output line.

[0035]A noise memory will become unnecessary if the use which the noise of amplifier can disregard, or process technology is improved. In this case, the control line of the transfer switch MTX is not independently formed by the odd number sequence and an even number sequence, but is good also as common wiring. With phiGT, a pixel signal is read to a vertical output line, and is accumulated temporarily. The transmission to capacity CS used as the memory for signals is controlled by phiVT1 and phiVT2.

[0036]An imaging system schematic diagram is shown in drawing 8. As shown in the figure, image formation of the image light which entered through the optical

system 71 and the diaphragm 80 is carried out on CMOS sensor 72. Light information is changed into an electrical signal by the pixel array arranged on CMOS sensor 72, and noise rejection is carried out, and it is outputted. By the method decided beforehand, signal conversion processing of the output signal is carried out by the digital disposal circuit 73, and it is outputted. the signal by which signal processing was carried out -- a recording system and the communication system 74 -- an information storage device -- record -- or information transfer is carried out. The signal recorded or transmitted is reproduced by the reversion system 77. The diaphragm 80, CMOS sensor 72, and the digital disposal circuit 73 are controlled by the timing control circuit 75, and the optical system 71, the timing control circuit 75, a recording system and a communication system 74, and the reversion system 77 are controlled by the system control circuit 76.

[0037]Next, the concrete composition of the unit cell which can be used conveniently for the imaging device of this invention is explained.

[0038]Since the arrangement of the photoelectric conversion part 173 does not serve as even pitch, the interval of the field (light sensing portion) concerned in the light in ($a_1 \neq a_2$) and each pixel does not become equal, but the following problems produce the arrangement shown in drawing 16. Namely, selectively, since spatial frequency and resolution are not equal, as for the arrangement

which is not the even pitch of the same color, defects, such as a fall of resolution and a moire pattern, are generated. Generating of a moire pattern is a very serious problem, and such an imaging device must have been realized as a product as a matter of fact. This is similarly realized, when the pixel number which constitutes said unit cell is except four.

[0039]Also in the CMOS sensor with which this invention persons have the amplifying means distributed in two or more pixels, By seting the pitch of a photoelectric conversion part constant, the interval of each light sensing portion became equal, prevented the fall of resolution, and generating of the moire pattern, raised the numerical aperture etc., and found out the imaging device which can obtain good performance. Such an imaging device can be conveniently used in this invention.

[0040]Drawing 9 is a figure in which two-line the pixel of two rows shows the example which shares the common-amplifiers part 22. In drawing 9, the common-amplifiers part 22 to share is arranged at the center which are four pixels, and it is arranged so that four photoelectric conversion parts (a_{11} , a_{12} , a_{21} , a_{22}) may enclose the common-amplifiers part 22. The transfer means MTX1-MTX4 besides the amplifying means MSF of drawing 2, resetting means MSEL, and the selecting means MSEL are included in the common-amplifiers part 22 here.

[0041]And the shade part 25 exists in the field and the central symmetric position in each pixel which the common-amplifiers part 22 occupies. Therefore, the center of gravity of the photoelectric conversion part 21 in each pixel exists in the center of each of said pixel. Thereby, said four photoelectric conversion parts (a_{11} - a_{22}) can be arranged by the regular intervals a in the lengthwise direction and the transverse direction.

[0042]In drawing 10, the common-amplifiers part 32 to share is arranged in the central part of the transverse direction which are four pixels, and it is arranged so that the four photoelectric conversion parts 31 (a_{11} , a_{12} , a_{21} , a_{22}) may sandwich the common-amplifiers part 32.

[0043]And the shade part 35 exists in the field and the central symmetric position in each pixel which the common-amplifiers part 32 occupies. Therefore, the center of gravity of said photoelectric conversion part 31 in each pixel exists in the center of each pixel. Thereby, four photoelectric conversion parts (a_{11} - a_{22}) can be arranged by the regular intervals a in the lengthwise direction and the transverse direction.

[0044]Even if the embodiment of drawing 10 mentioned above replaces a transverse direction and a lengthwise direction, it is completely materialized in a similar manner.

[0045]The concrete pattern layout figure of the 1st example of composition of the

pixel array part of a CMOS sensor is shown in drawing 11.

[0046]The CMOS sensor shown in drawing 11 is formed of layout rule 0.4micrometer on the monocrystal substrate, the size of a pixel is an 8-micrometer angle and the source follower amplifier which is an amplifying means is shared between 4 pixels of two rows of two lines. Therefore, the sizes of the repeating unit cell 81 shown in the figure middle point line area are 16 micrometers x a 16-micrometer angle, and the two-dimensional array is formed.

[0047]The photo-diodes 82a, 82b, 82c, and 82d which are photoelectric conversion parts are aslant formed in the center of each pixel, and the shape is almost symmetrical with the symmetry of revolution and a mirror image on four directions. The these photo-diodes [82a, 82b, 82c, and 82d] center of gravity g is designed become the same to each pixel. 95 is a shade part.

[0048]It is a reset line with which the scanning line with which 88-a controls upper left transfer gate 83-a, and 90 control a selecting line, and 92 controls MOS gate 93.

[0049]The signal charge accumulated into photo-diode 82a-82d is led to FD85 through the transfer gates 83a-83d. Gates [83a-83d] MOS sizes are L= 0.4 micrometer and W= 1.0 micrometer (L shows channel length and W shows channel width.).

[0050]FD85 is connected to the input gate 86 of a source follower by

0.4-micrometer-wide Al wiring, and the signal charge transmitted to FD85 modulates the voltage of the input gate 86. The sizes of MOS of the input gate 86 are L= 0.8 micrometer and W= 1.0 micrometer, and the sum of the capacity of FD85 and the input gate 86 is about 5 fF. Since it is Q=valve flow coefficient, the voltage of the input gate 86 will change with accumulation of the electron of 10^5 individual 3.2V.

[0051]The input gate 86 becomes irregular and the current which flows in from the V_{DD} terminal 91 flows into the vertical output line 87. Signal processing of the current which flows into the vertical output line 87 is carried out by the digital disposal circuit which is not illustrated, and it serves as picture information eventually.

[0052]Then, in order to make potential of the photo-diodes 82a-82d, FD85, and the input gate 86 into V_{DD} of a predetermined value, (The transfer gates 83a-83d are also opened at this time), the photo-diodes 82a-82d, FD85, and the input gate 86 short-circuit with V_{DD} terminal by opening MOS gate 93 connected to the reset line 92.

[0053]Then, a photo-diodes [82a-82d] charge storage starts again by closing the transfer gates 83a-83d.

[0054]here -- it should observe -- all the wiring 88a-88d, 90, and 92 penetrated horizontally, since it is formed by ITO (Indium Tin Oxide) with a thickness of

1500 Å which is a transparent conductor. Among said wiring parts, on photo-diode 82a-82d, since light penetrates, the center of gravity g of said photo-diode is in agreement with the center of gravity of the field (light sensing portion) which detects light.

[0055]According to this example of composition, a picture element pitch etc. can be by carrying out, and a high area rate and a high numerical aperture CMOS sensor can be provided comparatively.

[0056]The concrete pattern layout figure of the 2nd example of composition of the pixel array part of the CMOS sensor of this invention is shown in drawing 12.

[0057]In drawing 12, a photo-diode and 103a-103d 102a-102d A transfer gate, 105 is FD and a reset line with which 110 controls a scanning line a vertical output line and 108a-108d, and controls a selecting line, and, as for 106, the input gate of a source follower and 107 control MOS gate 113, as for 112.

[0058]Since it is running so that the wiring 108a-108d, and 110,112 which runs horizontally in this example of composition may cross the center which is each pixel three [at a time], Even if it is the metallic wiring which bars the light which enters into the photo-diodes 102a-102d, it does not produce, therefore movement of the center of gravity g of the field which detects light is in agreement with the center of said pixel.

[0059]Since usual metal (it is opaque) with small electrical resistance can be

used according to this example of composition, the damping time constant of wiring of said transverse direction is improved, and a still more nearly high-speed imaging device can be provided.

[0060]Since the portion under a light-shielding film is used effectively in the above example of composition, it is possible to form even in the portion under a light-shielding film the photo-diode which is a photoelectric conversion part, as shown in drawing 13, and to also make it function as a charge storage part.

[0061]In the above-mentioned example of the 2nd composition, in order that optical condensing efficiency may cross the center of a good pixel most, we are anxious about the fall of the sensitivity of an imaging device. Then, the example of the 3rd composition improved further is shown in drawing 14.

[0062]in this example of composition -- the transfer gates 123a-123d, FD125, the input gate 126 of a source follower, and MOS gate 133 for reset, since all are formed under the wiring (the scanning lines 128a-128d, the selecting line 130, the reset line 132) which runs a transverse direction, The photo-diodes 122a-122d and the opening of those can be made into the maximum. And the opening continues and exists in the center of each pixel. The shade part is formed in level and a vertical-wirings portion.

[0063]Since the MOS transistor the source follower which is said amplifying means, and for reset was divided into the surrounding horizontal direction of

each pixel and has been arranged in this example of composition, it can arrange under said horizontal wiring compactly.

[0064]Since an intact space still exists under wiring of an upper right pixel, it is also possible to add new composition, such as a smart sensor, for example.

[0065]According to this example of composition, since the area of a photo-diode and a large numerical aperture can be taken, an extensive dynamic range and a high sensitivity imaging device can be provided. It is hard to produce and fear of light stopping entering, even if minuteness making will progress in the future and the size of the opening part of said photo-diode becomes a wavelength grade of light can demonstrate the performance of *****.

[0066]Although an amplifying means is arranged to the central part of a unit cell and the center of gravity of the field which detects light, and the center of a pixel are in agreement in the above example of composition, the thing of composition of that the opening as not restricted to these but shown in drawing 15 serves as translational symmetry may be used.

[0067]That is, when the opening serves as translational symmetry, the field which detects light is because it becomes even pitch.

[0068]

[Effect of the Invention]As explained to details above, in this invention, the number of storage capacitance can be reduced temporarily and the number of

the number of stages of a shift register, a common circuit, AGC, and A/D converters is reduced further.

Therefore, cost can be reduced by reduction of a chip size.

[0069]It is low power consumption synergistically and, as a result, there is an effect of reducing a mounting noise. Furthermore, an accumulation means decreases by division drive temporarily. For this reason, the transfer switch connected to a level output line can also be reduced, and, as a result, the parasitic capacitance of a level output line becomes small. Therefore, the read-out gain from an accumulation means to a level output line can be enlarged temporarily. Or storage capacitance can also be conversely made small temporarily.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1]It is a rough lineblock diagram showing the example at the time of applying this invention in the imaging device which reads the signal from four photoelectric conversion parts through one common amplifiers.

[Drawing 2]It is a figure showing the composition of the photoelectric conversion cell S.

[Drawing 3]It is a timing chart for explaining operation of the above-mentioned imaging device.

[Drawing 4]It is a timing chart which shows the timing within each chrominance-signal read-out period.

[Drawing 5]It is an entire configuration figure of the above-mentioned imaging device.

[Drawing 6]It is a rough lineblock diagram showing the example of an imaging device when a single cell comprises one photoelectric conversion part and one amplifier.

[Drawing 7]It is a figure showing cell constitution.

[Drawing 8]It is a system-outline figure by this invention.

[Drawing 9]It is a figure showing the layout of the unit cell of this invention.

[Drawing 10]It is a figure showing the layout of the unit cell of this invention.

[Drawing 11]It is a pattern layout figure of the example of 1 composition of this invention.

[Drawing 12]It is a pattern layout figure of the example of 1 composition of this invention.

[Drawing 13]It is a figure showing the example of 1 composition of this invention.

[Drawing 14]It is a pattern layout figure of the example of 1 composition of this invention.

[Drawing 15]It is a figure showing the example of 1 composition of this invention.

[Drawing 16]It is a layout pattern of the unit cell of an example of an imaging device.

[Drawing 17]It is a rough circuitry figure showing an example of the noise rejection circuit of the imaging device of a conventional example.

[Drawing 18]It is a rough circuitry figure showing an example of the noise rejection circuit of the imaging device of a conventional example.

[Drawing 19]It is a rough circuitry figure showing an example of the noise rejection circuit of the imaging device of a conventional example.

[Description of Notations]

S Photoelectric conversion cell (unit cell)

a11, a12, a21, and a22 Photoelectric conversion part

A1 common amplifiers

Capacity for C_S signal accumulation

Capacity for C_N noise accumulation

M1-M8 Transistor

10 Subtraction amplifier

11 AGC (automatic gain control)

12 A/D converter

13 Horizontal shift register (H-SR)

100 Signal accumulation formation part

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-78475

(P2000-78475A)

(43)公開日 平成12年3月14日 (2000.3.14)

(51)Int.Cl.⁷
H 04 N 5/335
H 01 L 27/146
H 04 N 9/07

識別記号

F I
H 04 N 5/335
9/07
H 01 L 27/14

テマコト^{*} (参考)
E 4 M 1 1 8
A 5 C 0 2 4
A 5 C 0 6 5

審査請求 未請求 請求項の数15 O.L (全 11 頁)

(21)出願番号 特願平10-248730

(22)出願日 平成10年9月2日 (1998.9.2)

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 橋本 誠二

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(74)代理人 100065385

弁理士 山下 積平

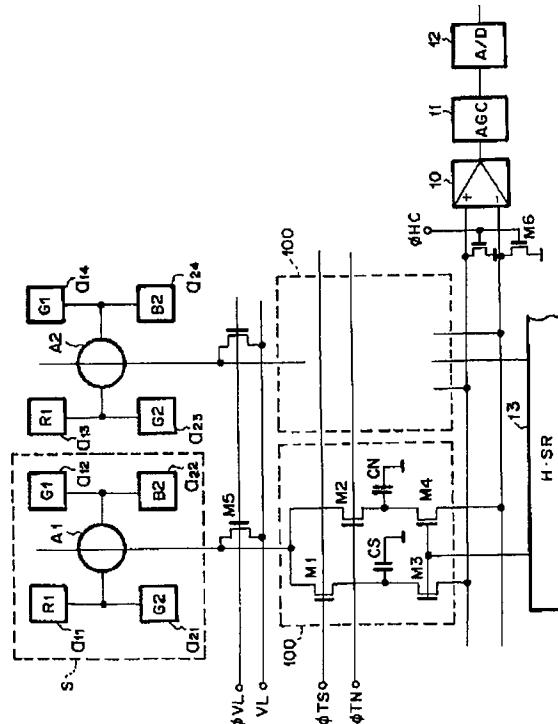
Fターム(参考) 4M118 AA01 AA02 AA10 AB01 BA14
CA03 CA24 DD09 DD10 DD12
FA06 GC08
5C024 AA01 CA00 CA12 CA15 EA08
FA01 FA11 GA01 GA31
5C065 BB48 DD15 EE03

(54)【発明の名称】 撮像装置およびそれを用いた撮像システム

(57)【要約】

【課題】 一時蓄積容量が多く、チップ面積が増大している。

【解決手段】 少なくとも行方向に配列された複数の光電変換部 a11, a12と複数の光電変換部からの信号が入力される共通のアンプ A1とを配置した単位セル Sが複数列配列された撮像装置において、単位セル内の各光電変換部について共有される信号保持手段 C_S, C_Nを垂直出力線に接続し、光電変換部から共通のアンプを介して信号保持手段へ信号を読み出す。



【特許請求の範囲】

【請求項1】 少なくとも行方向に配列された複数の光電変換部と該複数の光電変換部からの信号が入力される共通回路とを配置した単位セルが複数列配列された撮像装置において、

前記単位セル内の各光電変換部について共有される信号保持手段を垂直出力線に接続し、前記光電変換部から前記共通回路を介して前記信号保持手段へ信号を読み出すことを特徴とする撮像装置。

【請求項2】 前記信号保持手段から信号出力を行う動作を、各光電変換部ごとに順次行ってなる請求項1に記載の撮像装置。

【請求項3】 行方向及び列方向に複数の光電変換画素を配列し、少なくとも二列の光電変換画素列について共有する信号保持手段を垂直出力線に接続し、前記信号保持手段は、画像信号を蓄積する画像信号保持手段と、該画像信号のノイズ成分を蓄積するノイズ保持手段とからなり、

各光電変換画素から前記信号保持手段へ信号を読み出し、前記信号保持手段から信号出力を行う動作を、前記少なくとも二列の光電変換画素列の列方向と行方向について各光電変換画素ごとに順次行ってなる撮像装置。

【請求項4】 前記信号保持手段は、画像信号を蓄積する画像信号保持手段と、該画像信号のノイズ成分を蓄積するノイズ保持手段とからなり、該画像信号から該ノイズ成分を差分する手段を有することを特徴とする請求項2又は請求項3に記載の撮像装置。

【請求項5】 前記光電変換部に色フィルタを配置することを特徴とする請求項1に記載の撮像装置。

【請求項6】 前記光電変換画素に色フィルタを配置したことを特徴とする請求項3に記載の撮像装置。

【請求項7】 前記光電変換画素は、光電変換部と該光電変換部からの信号が入力されるアンプとを有する請求項3に記載の撮像装置。

【請求項8】 前記共通回路は、前記光電変換部からの信号を増幅する増幅手段と前記単位セルをリセットするリセット手段とを有することを特徴とする請求項1に記載の撮像装置。

【請求項9】 前記アンプは、前記光電変換部からの信号を増幅する増幅手段と前記単位セルをリセットするリセット手段とを有することを特徴とする請求項7に記載の撮像装置。

【請求項10】 請求項1、2、4、5、7、8のいずれかの請求項に記載の撮像装置において、少なくとも前記光電変換部間のピッチを少なくとも垂直方向又は水平方向の一方向で等ピッチに調整するための調整手段を設けたことを特徴とする撮像装置。

【請求項11】 請求項10に記載の撮像装置において、前記調整手段は遮光膜であることを特徴とする撮像装置。

【請求項12】 請求項1、2、4、5、8、10、11のいずれかの請求項に記載の撮像装置において、前記共通回路は単位セルの中心部に配置したことを特徴とする撮像装置。

【請求項13】 請求項11に記載の撮像装置において、前記遮光膜は隣り合う単位セル間に配置したことを特徴とする撮像装置。

【請求項14】 請求項13に記載の撮像装置において、前記遮光膜は少なくとも前記単位セルの水平方向又は垂直方向の中心線に対して線対称となる位置に配置したことを特徴とする撮像装置。

【請求項15】 請求項1～14のいずれかの請求項に記載の撮像装置と、前記撮像装置へ光を結像するレンズと、前記撮像装置からの出力信号を処理する信号処理回路とを有することを特徴とする撮像システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は撮像装置およびそれを用いた撮像システムに係わり、特に、少なくとも行方向に配列された複数の光電変換部と該複数の光電変換部からの信号が入力される共通回路とを配置した単位セルが複数列配列された撮像装置又は行方向及び列方向に複数の光電変換画素を配列した撮像装置、およびそれを用いた撮像システムに関する。

【0002】

【従来の技術】 増幅型センサーの一つにCMOS回路からなる増幅アンプを一つの画素内に設けたCMOSエリアセンサーがある。

【0003】 CMOSエリアセンサーはCCD型エリアセンサーに対し、ランダムアクセスが可能で、多機能性と低消費電力性の点で優位である。

【0004】 すなわち、CCD型エリアセンサーは光電変換された信号を順次転送しながら、外部へ出力するために、ランダムアクセスが困難であり、消費電力が大きいが、CMOSエリアセンサーは任意の画素を選択して出力することができるので、低消費電力であって、実装上低ノイズであり、実装も簡単である。

【0005】

【発明が解決しようとする課題】 上記CMOSエリアセンサーにおいて、画素アンプの特性にバラツキを生じる場合、そのバラツキを補正するためにメモリを附加することが求められる。しかし、メモリを画素ごとに設けるとメモリの実装面積が大きくなり、コスト高となる課題がある。以下、バラツキを補正するためにメモリを有する撮像装置の一例について説明する。画素アンプの特性のバラツキは画素からノイズ信号を読み出し画素信号から差分することで抑制することができる。

【0006】 図17～図19はそれぞれ従来例の撮像装置のバラツキ補正回路の一例を示す概略的回路構成図である。なお図18に示す構成は、特開平1-24576

9号公報に開示されており、図19に示す構成は特開平9-247546号公報に開示されている。

【0007】図17において、R1画素、G1画素、G2画素、B2画素に対応した信号、ノイズはそれぞれ画素ごとに設けられた容量Csと容量Cnに読み出される。すなわち、信号、ノイズを一時蓄積するための容量は8個分設けられる。R1画素、G2画素（G1画素、B2画素）に対応した信号、ノイズ信号、は同時に読み出されて差分処理され、AGCを経てA/D変換器でアナログ-デジタル変換されて、デジタル信号となる。

【0008】図18においては、容量Cpと容量Cpの電極に接続されたりセッティング手段とで、ノイズと信号とを差分処理し、容量C1にはノイズが除去された信号R（G）が、容量C2にはノイズが除去された信号G（B）が一時蓄積される。ノイズを差分するには、ノイズを容量Cpの出力電極側を一定電位とした状態で容量Cpの入力電極側に出力し、容量Cpの出力電極側を浮遊状態とした後に、容量Cpの入力電極側に信号を入力する。こうすると容量Cpの入力電極側は（信号一ノイズ）分電位が変動し、容量Cpの出力電極側も同様に（信号一ノイズ）分電位が変動するので、ノイズ除去された信号が出力されることになる。水平出力線には水平走査毎にR、Gの点順次信号とG、Bの点順次信号が出力される。その信号は減算アンプ、AGCを経てA/D変換器でアナログ-デジタル変換されて、デジタル信号となる。このデジタル信号は複数ラインメモリあるいはフレームメモリ内で原色信号毎にメモリされ、画像処理が行われる。メモリ方法はシステムにより種々ある。

【0009】図19においては、それぞれの垂直出力線から読み出されたノイズおよび信号について、信号からノイズを除去して一時蓄積容量Csに蓄積する。ノイズを除去するには、トランジスタMt、Mrをオンしリセットした後、ノイズ出力期間に容量Cpに負パルスを印加してトランジスタMsのチャネル電位 ϕ_n を超えた電荷を容量Csに転送し、この電荷をトランジスタMtをオンして排出する。信号出力期間に再度、容量Cpに負パルスを印加してトランジスタMsのチャネル電位 ϕ_s を超えた電荷を容量Csに転送する。ここで容量Csに転送された電荷は $C_p \times (\phi_s - \phi_n)$ となりノイズが除去された信号となる。

【0010】これらの撮像装置では、1列の画素列（1本の垂直出力線）に対して容量を最低2個設けている。付加する容量の値は誘電層の厚みと電極面積で決まるが、通常チップ面積の数%を占めている。

【0011】特に、図17の構成例ではノイズと信号を差分処理するアンプが画素ごとに必要となり消費電力が大きくなる。さらに、読み出し速度を下げるために複数水平ラインの信号読み出しを同時にを行うと、一時蓄積容量はさらに多くなり、チップ面積の増大を招くことになる。

【0012】近年デジタルスチルカメラが数百万画素に

なったことにより消費電力が増え、撮影枚数が減り、ユーザは高い電池代を負担することになっている。

【0013】さらに、西暦2000年過ぎには、高速データ通信が可能なIMT-2000のインフラが準備され、画像通信が本格化する。そして、このようなモバイル画像通信を普及させるには低消費電力のセンサーと周辺ICおよびコストダウンが求められる。

【0014】

【課題を解決するための手段】本発明の撮像装置は、少なくとも行方向に配列された複数の光電変換部と該複数の光電変換部からの信号が入力される共通回路とを配置した単位セルが複数列配列された撮像装置において、前記単位セル内の各光電変換部について共有される信号保持手段を垂直出力線に接続し、前記光電変換部から前記共通回路を介して前記信号保持手段へ信号を読み出すことを特徴とするものである。

【0015】また本発明の撮像装置は、行方向及び列方向に複数の光電変換画素を配列し、少なくとも二列の光電変換画素列について共有する信号保持手段を垂直出力線に接続し、前記信号保持手段は、画像信号を蓄積する画像信号保持手段と、該画像信号のノイズ成分を蓄積するノイズ保持手段とからなり、各光電変換画素から前記信号保持手段へ信号を読み出し、前記信号保持手段から信号出力をを行う動作を、前記少なくとも二列の光電変換画素列の列方向と行方向について各光電変換画素ごとに順次行ってなるものである。

【0016】本発明の撮像システムは、上記本発明の撮像装置と、前記撮像装置へ光を結像するレンズと、前記撮像装置からの出力信号を処理する信号処理回路とを有することを特徴とするものである。

【0017】

【実施例】以下、本発明の実施例について図面を用いて詳細に説明する。

【0018】図1は4つの光電変換部からの信号を1つの共通アンプ（共通回路を構成する）を経て読み出す撮像装置に本発明を適用した場合の実施例を示す概略的構成図である。

【0019】本実施例の光電変換セル（単位セル）Sは、4つの光電変換部と1つの共通アンプから構成され、例えば図1の光電変換部a11、a12、a21、a22にはカラーフィルタR1（赤）、G1（緑）、G2（緑）、B2（青）が設けられ、各光電変換部からR1信号、G1信号、B2信号、G2信号が共通アンプA1から垂直出力線を介して出力される。また共通アンプA1からはリセット後のノイズも垂直出力線を介して出力される。

【0020】100は信号蓄積用の容量Cs、ノイズ蓄積用の容量Cn、容量切替え用のトランジスタM1、M2、および信号出力用のトランジスタM3、M4で構成される信号蓄積構成部である。1つの垂直出力線にはトランジスタM1、M2を介して信号蓄積用の容量Csとノイ

ズ蓄積用の容量 C_N が並列に設けられている。容量 C_S に蓄積された信号と容量 C_N に蓄積されたノイズとは水平シフトレジスタ (H・S R) 1 3 によって制御されるトランジスタ M3、M4 が同時にオンして各水平出力線に読み出されて、減算アンプ 1 0 で信号からノイズが除去され、A G C (オートゲインコントロール) 1 1、A/D コンバータ 1 2 を経てデジタル信号に変換される。水平出力線は ϕHC で制御されるトランジスタ M6 によりリセットされる。

【0021】本実施例では 1 本の垂直出力線あたり 2 個の容量を設けているが、共通アンプにより 2 列の光電変換部列の信号が 1 本の垂直出力線で出力されるので、1 列の光電変換部列あたり 1 個の容量を配置すればよい。

【0022】図 2 は光電変換セル S の構成を示す図である。図 2 に示すように、光電変換セル S は、共通アンプ 1 つに光電変換部 4 つ (ここでは、 a_{11} , a_{12} , a_{21} , a_{22}) を配置して構成されている。その他の光電変換セルについても同様な構成となっている。なお、ここでは共通アンプは増幅手段 MSF、リセット手段 MRES、セレクト手段 MSEL、および転送手段 MTX1～MTX4 から構成されている。転送手段 MTX1～MTX4 は制御信号 ϕGT_1 ～ ϕGT_4 で順次オン状態となり、光電変換部 a_{11} , a_{12} , a_{21} , a_{22} から信号が順次、増幅手段 MSF の入力部 (ゲート) に転送される。セレクト信号 ϕS_0 によりセレクト手段 MSEL がオン状態となると、増幅手段 MSF のゲートに転送された信号電荷に対応する信号が垂直出力線に読み出される。なお、光電変換部から信号が増幅手段 MSF の入力部 (ゲート) に転送される前にリセット信号 ϕGL によりリセット手段 MRES がオン状態となり増幅手段 MSF の入力部がリセットされ、ノイズとしてセレクト手段 MSEL を介して垂直出力線に送られる。

【0023】図 3 に上記撮像装置の動作を説明するためのタイミングチャートを示す。一水平走査期間に時分割で各色信号の読み出しが順次行われ (R 1 読出し (期間 ϕR) → G 1 読出し (期間 ϕG) → B 2 読出し (期間 ϕB) → G 2 読出し (期間 $\phi G'$))、色信号の読み出し後に、一時蓄積容量 C_S 、 C_N から信号とノイズが出力される。減算アンプ 1 0 で信号からノイズが除去され、A G C 1 1、A/D コンバータ 1 2 を経てデジタル信号に変換され、R 1 信号、G 1 信号、B 1 信号、G 2 信号が output (信号出力 out_1) される。

【0024】この実施例では、出力信号は各色ライン順次信号である。A/D 変換後のデジタル信号は後段のメモリで一時蓄積され画像処理がなされる。ノイズ除去方式は本実施例に限らず、図 1 8 に示すクランプ型、図 1 9 に示すスライス型など各種方式のものが適用できる。

【0025】図 4 は各色信号読み出し期間内のタイミングを示すタイミングチャートである。

【0026】図 4 に示す R 1 読出し期間において、期間 T 1 では、信号 ϕTS 、 ϕTN 、 ϕVL をハイレベルとしトランジ

ジスタ M1、M2、M5 をオン状態として、垂直出力線及び一時蓄積容量 C_S 、 C_N 上の残留電荷の除去を行う。

【0027】次に、期間 T 2 では、信号 ϕGCL 、 ϕS_0 、 ϕTN をハイレベルとして、リセット手段 MRES をオン状態として共通アンプのリセットを行い、セレクト手段 MSEL、トランジスタ M2 をオン状態として、共通アンプのノイズの読み出し、一時蓄積容量 C_N へのノイズ蓄積を行う。

【0028】次に、期間 T 3 では、信号 ϕGT 、 ϕS_0 、 ϕTN をハイレベルとして、転送手段 MTX1 をオン状態として光電変換部から共通アンプの入力部 (ゲート) へ信号を転送し、セレクト手段 MSEL、トランジスタ M1 をオン状態として、光電変換信号の読み出し、一時蓄積容量 C_S への光電変換信号蓄積を行う。なお、G 1、B 2、G 2 読出し期間においても同様な処理がなされる。

【0029】図 5 に上記撮像装置の全体構成図を示す。

【0030】各光電変換セルのリセット、ノイズ・信号読み出し、光電変換の制御は垂直シフトレジスタ (V・S R) 1 5 によって行われ、信号蓄積構成部 1 0 0 からなるノイズ除去・メモリ部 1 4 の制御は水平シフトレジスタ (H・S R) 1 3 によって行われ、減算アンプ 1 0 で信号からノイズが除去され、A G C 1 1、A/D コンバータ 1 2 を経てデジタル信号に変換される。タイミングジェネレータ 1 6 は垂直シフトレジスタ (V・S R) 1 5、水平シフトレジスタ (H・S R) 1 3、差動アンプ 1 0、A G C 1 1、A/D コンバータ 1 2 の動作を制御する。1 7 は行列状に光電変換セルが配置された撮像素子部である。

【0031】なお、図 1 の実施例は 2 行 4 画素の単位セルの分割読み出しと信号出力方法であったが、これをさらに増した複数行、複数画素でもよいことは勿論である。

【0032】また、以上の実施例では共通回路部分 A 1、A 2、…をアンプとして説明したが、例えば A/D 変換回路や圧縮回路等の他の信号処理回路であってもよい。

【0033】図 6 は 1 つの光電変換部と 1 つのアンプで単一セルが構成された場合の撮像装置の実施例を示す概略的構成図である。図 7 はセル構成を示す図である。

【0034】本実施例の場合は、転送スイッチ手段 MTX の制御線を奇数列と偶数列毎に設けて、信号 ϕGT_1 、 ϕGT_2 で制御する。画素 R 1 から読み出したノイズはトランジスタ M7、M2 をオンして容量 C_N に蓄積され、画素 R 1 から読み出した画像信号はトランジスタ M7、M1 をオンして容量 C_S に蓄積される。そして、容量 C_N 、 C_S から水平出力線に出力される。その後、同様に他の画素 (G 1, G 2, B 2) から読み出したノイズと画像信号は容量 C_N 、 C_S に蓄積され、水平出力線に出力される。

【0035】アンプのノイズが無視できる用途、あるいはプロセス技術の改善されればノイズメモリは不要とな

る。この場合は、転送スイッチMTXの制御線は奇数列と偶数列で別々に設けず、共通配線としてもよい。 ϕGT で画素信号を垂直出力線に読み出し、一時蓄積する。信号用メモリとなる容量CSへの転送は $\phi VT1$, $\phi VT2$ で制御する。

【0036】図8に撮像システム概略図を示す。同図に示すように、光学系71、絞り80を通って入射した画像光はCMOSセンサー72上に結像する。CMOSセンサー72上に配置されている画素アレーによって光情報は電気信号へと変換され、ノイズ除去されて出力される。その出力信号は信号処理回路73によって予め決められた方法によって信号変換処理され、出力される。信号処理された信号は、記録系、通信系74により情報記録装置により記録、あるいは情報転送される。記録、あるいは転送された信号は再生系77により再生される。絞り80、CMOSセンサー72、信号処理回路73はタイミング制御回路75により制御され、光学系71、タイミング制御回路75、記録系・通信系74、再生系77はシステムコントロール回路76により制御される。

【0037】次に本発明の撮像装置に好適に用いることができる単位セルの具体的な構成について説明する。

【0038】図16に示す配置は、光電変換部173の配列が等ピッチとはならないために($a_1 \neq a_2$)、それぞれの画素内の光を閲知する領域(受光部)の間隔が等しくならず、次のような問題が生じる。すなわち、同色の等ピッチでない配列は、部分的に空間周波数、解像度が等しくないために、解像度の低下、モアレ縞等の不良を発生させる。また、モアレ縞の発生は非常に重大な問題であり、そのような撮像装置は、事実上製品として成り立たない。これは前記単位セルを構成する画素数が4以外の場合にも同様に成り立つ。

【0039】本発明者らは、複数画素中に分散された増幅手段を有するCMOSセンサーにおいても、光電変換部のピッチを一定とすることによってそれぞれの受光部の間隔は等しくなり、解像度の低下とモアレ縞の発生を防止し、開口率等を向上させ、良好な性能を得ることができる撮像装置を見出した。このような撮像装置は本發明において好適に用いることができる。

【0040】図9は2行2列の画素が共通アンプ部22を共有する例を示す図である。図9では、共有する共通アンプ部22が4つの画素の中心に配置され、4つの光電変換部(a_{11} , a_{12} , a_{21} , a_{22})が共通アンプ部22を取囲むように配置されている。ここで共通アンプ部22には図2の増幅手段MSF、リセット手段MSEL、選択手段MSELの他、転送手段MTX1～MTX4を含んでいる。

【0041】しかも、共通アンプ部22の占める各画素における領域と中心対称な位置に遮光部25が存在している。従って、各画素における光電変換部21の重心は

前記各画素の中心に存在する。これにより前記4つの光電変換部(a_{11} ～ a_{22})は縦方向、横方向に等間隔aで配置できている。

【0042】また図10では、共有する共通アンプ部32が4つの画素の横方向の中心部に配置され、4つの光電変換部31(a_{11} , a_{12} , a_{21} , a_{22})が共通アンプ部32をはさむように配置されている。

【0043】しかも、共通アンプ部32の占める各画素における領域と中心対称な位置に遮光部35が存在している。従って各画素における前記光電変換部31の重心は各画素の中心に存在する。これにより4つの光電変換部(a_{11} ～ a_{22})は縦方向、横方向に等間隔aで配置できている。

【0044】上述した図10の実施形態は、横方向と縦方向を入れ換ても全く同様に成立する。

【0045】図11にCMOSセンサーの画素アレー部の第1の構成例の具体的なパターンレイアウト図を示す。

【0046】図11に示すCMOSセンサーは単結晶基板上にレイアウトルール0.4μmによって形成されており、画素の大きさは8μm角であり、増幅手段であるソースフォロワアンプは2行2列の4画素で共有されている。従って、図中点線領域で示した繰返し単位セル81の大きさは16μm×16μm角であり、2次元アレーが形成されている。

【0047】光電変換部であるホトダイオード82a, 82b, 82c, 82dは各画素の中央に斜めに形成されており、その形状は上下左右でほぼ回転対称、鏡像対称である。またこれらのホトダイオード82a, 82b, 82c, 82dの重心gは各画素に対して同一になるよう設計されている。また95は遮光部である。

【0048】88-aは左上の転送ゲート83-aを制御する走査線、90は行選択線、92はMOSゲート93を制御するリセット線である。

【0049】ホトダイオード82a～82d中に蓄積された信号電荷は転送ゲート83a～83dを通ってFD85に導かれる。ゲート83a～83dのMOSサイズはL=0.4μm, W=1.0μm(Lはチャネル長、Wはチャネル巾を示す。)である。

【0050】FD85は巾0.4μmのA1配線によってソースフォロワの入力ゲート86に接続されており、FD85に転送された信号電荷は入力ゲート86の電圧を変調させる。入力ゲート86のMOSの大きさはL=0.8μm, W=1.0μmであり、FD85と入力ゲート86の容量の和は5fF程度である。Q=CVであるから、10⁵個の電子の蓄積によって入力ゲート86の電圧は、3.2V変化することになる。

【0051】V_{DD}端子91から流れ込む電流は入力ゲート86によって変調され、垂直出力線87に流出する。垂直出力線87に流出する電流は図示しない信号処理回

路によって信号処理され、最終的には画像情報となる。

【0052】その後、ホトダイオード82a～82d, FD85, 入力ゲート86の電位を所定の値のV_{DD}とするために、リセット線92に接続されたMOSゲート93を開くことで（このとき転送ゲート83a～83dも開く）、ホトダイオード82a～82d, FD85, 入力ゲート86はV_{DD}端子とショートされる。

【0053】その後、転送ゲート83a～83dを閉じることでホトダイオード82a～82dの電荷蓄積が再び始まる。

【0054】ここで注目すべきは、水平方向に貫通する配線88a～88d, 90, 92の全ては透明な導体である厚さ1500ÅのITO（Indium Tin Oxide）で形成されているために、前記配線部分のうち、ホトダイオード82a～82d上では光が透過するため、前記ホトダイオードの重心gは光を感知する領域（受光部）の重心と一致することである。

【0055】本構成例によれば画素ピッチが等しい比較的高面積率、高開口率なCMOSセンサーを提供することができる。

【0056】本発明のCMOSセンサーの画素アレー部の第2の構成例の具体的なパターンレイアウト図を図12に示す。

【0057】図12において、102a～102dはホトダイオード、103a～103dは転送ゲート、105はFD、106はソースフォロワの入力ゲート、107は垂直出力線、108a～108dは走査線、110は行選択線、112はMOSゲート113を制御するリセット線である。

【0058】本構成例においては水平方向に走る配線108a～108d, 110, 112が3本づつ各画素の中心を横切るように走っているために、ホトダイオード102a～102dに入射する光を妨げるような金属配線であっても、光を感知する領域の重心gの移動は生じず、従って前記画素の中心と一致する。

【0059】本構成例によれば電気抵抗が小さな通常の（不透明な）金属を使用できるため、前記横方向の配線の時定数が改善され、更に高速な撮像装置を提供することができる。

【0060】以上の構成例では、遮光膜の下の部分が有効利用されているため、図13に示すように遮光膜の下の部分にまで光電変換部であるホトダイオードを形成し、電荷蓄積部として機能させることも可能である。

【0061】上述の第2構成例においては、最も光集光効率が良い画素の中心を横切るために、撮像装置の感度の低下が懸念される。そこで更に改善された第3構成例を図14に示す。

【0062】本構成例においては転送ゲート123a～123d, FD125、ソースフォロワの入力ゲート126、リセット用のMOSゲート133全てが横方向を

走る配線（走査線128a～128d, 行選択線130, リセット線132）下に形成されているため、ホトダイオード122a～122d、及びその開口を最大とすることができます。しかも、その開口部は各画素の中心に連続して存在する。また遮光部は水平、垂直配線部分に形成されている。

【0063】また本構成例においては前記増幅手段であるソースフォロワとリセット用のMOSトランジスタを各画素の周辺の水平方向に分割して配置したためにコンパクトに前記水平方向の配線下に配置可能となっている。

【0064】また右上の画素の配線下には未使用のスペースが未だ存在するため、例えばスマートセンサー等、新規の構成を追加することも可能である。

【0065】本構成例によれば、ホトダイオードの面積、及び開口率が大きく取れることから、広ダイナミックレンジ、高感度な撮像装置を提供することができる。また、将来微細化が進み、前記ホトダイオードの開口部分の寸法が光の波長程度になんでも光が入射しなくなるといった懼れは生じにくく、永らくその性能を発揮することができる。

【0066】また、以上の構成例では、増幅手段は単位セルの中心部に配置し、光を感知する領域の重心と、画素の中心は一致したものであるが、これらに限られず、図15に示したような開口部が並進対称となっている構成のものでもよい。

【0067】つまり、開口部が並進対称となっていることにより、光を感知する領域は、等ピッチとなるためである。

【0068】

【発明の効果】以上詳細に説明したように、本発明によれば、一時蓄積容量の数を減らすことができ、さらにシフトレジスタの段数、共通回路、AGC、A/Dコンバータの数を減らすことにより、チップサイズの縮小によりコストを低減することができる。

【0069】また相乗的に低消費電力であり、その結果、実装ノイズを減らすことの効果がある。さらに分割駆動により一時蓄積手段が減る。このため、水平出力線に接続される転送スイッチも減らすことができ、その結果、水平出力線の寄生容量が小さくなる。従って、一時蓄積手段から水平出力線への読み出しゲインを大きくすることができる。あるいは、また逆に一時蓄積容量を小さくすることもできる。

【図面の簡単な説明】

【図1】4つの光電変換部からの信号を1つの共通アンプを経て読み出す撮像装置に本発明を適用した場合の実施例を示す概略的構成図である。

【図2】光電変換セルSの構成を示す図である。

【図3】上記撮像装置の動作を説明するためのタイミングチャートである。

11

【図4】各色信号読み出し期間内のタイミングを示すタイミングチャートである。

【図5】上記撮像装置の全体構成図である。

【図6】1つの光電変換部と1つのアンプで単一セルが構成された場合の撮像装置の実施例を示す概略的構成図である。

【図7】セル構成を示す図である。

【図8】本発明によるシステム概略図である。

【図9】本発明の単位セルのレイアウトを示す図である。

【図10】本発明の単位セルのレイアウトを示す図である。

【図11】本発明の一構成例のパターンレイアウト図である。

【図12】本発明の一構成例のパターンレイアウト図である。

【図13】本発明の一構成例を表す図である。

【図14】本発明の一構成例のパターンレイアウト図である。

【図15】本発明の一構成例を表す図である。

12

【図16】撮像装置の一例の単位セルのレイアウト図である。

【図17】従来例の撮像装置のノイズ除去回路の一例を示す概略的回路構成図である。

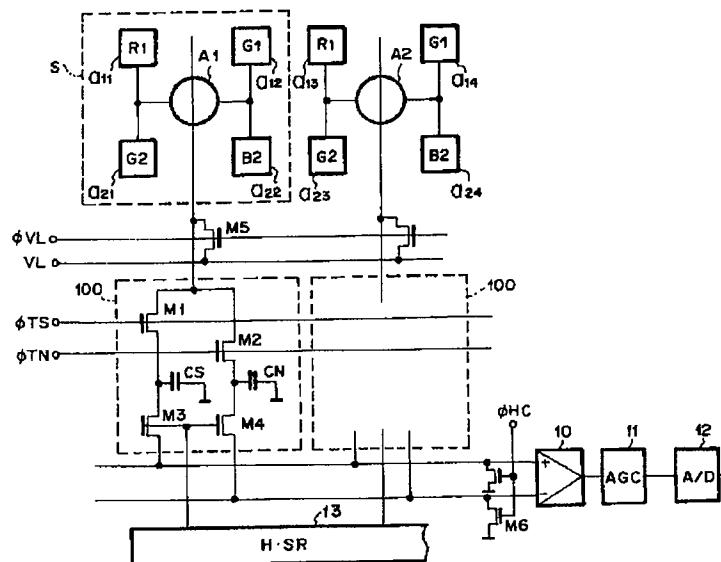
【図18】従来例の撮像装置のノイズ除去回路の一例を示す概略的回路構成図である。

【図19】従来例の撮像装置のノイズ除去回路の一例を示す概略的回路構成図である。

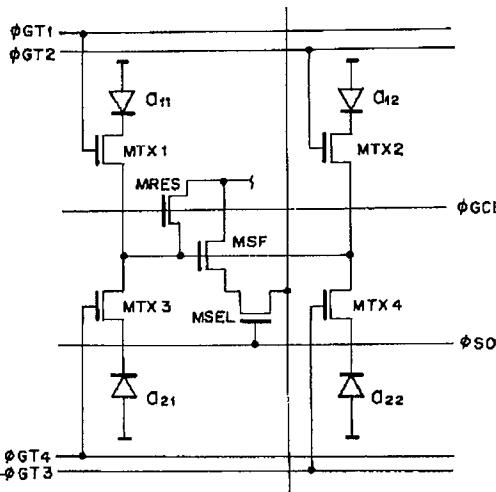
【符号の説明】

- | | |
|---------------------|---------------------|
| 10 | S 光電変換セル（単位セル） |
| a 11、a 12、a 21、a 22 | 光電変換部 |
| A 1 | 共通アンプ |
| C _S | 信号蓄積用の容量 |
| C _N | ノイズ蓄積用の容量 |
| M1～M8 | トランジスタ |
| 1 0 | 減算アンプ |
| 1 1 | A G C（オートゲインコントロール） |
| 1 2 | A/Dコンバータ |
| 1 3 | 水平シフトレジスタ（H・S R） |
| 20 | 1 0 0 信号蓄積構成部 |

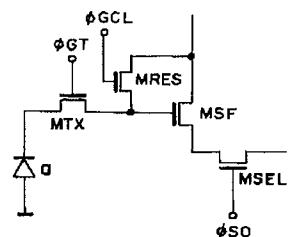
【図1】



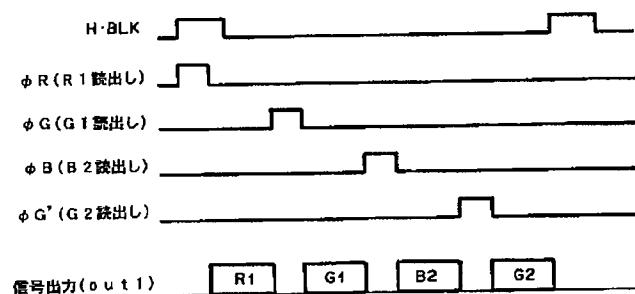
【図2】



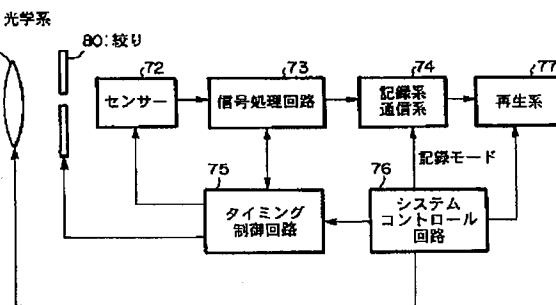
【図7】



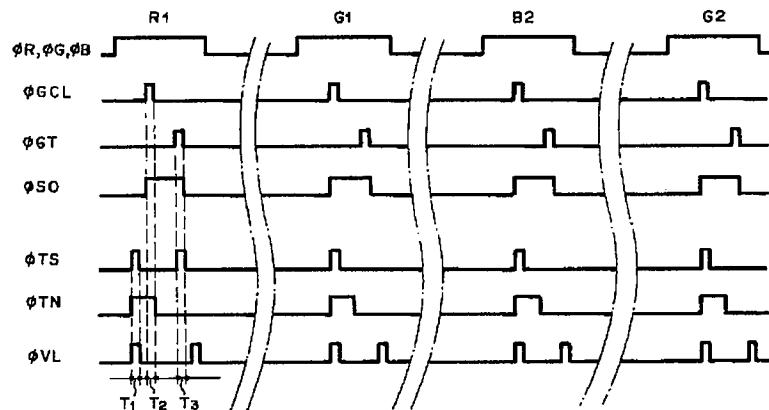
【図3】



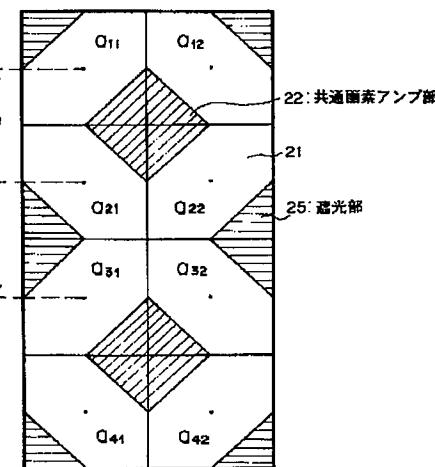
【図8】



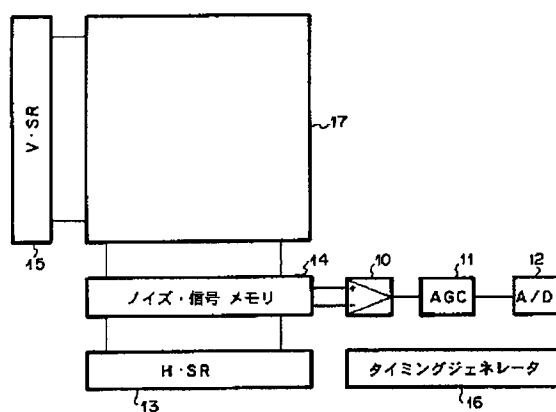
【図4】



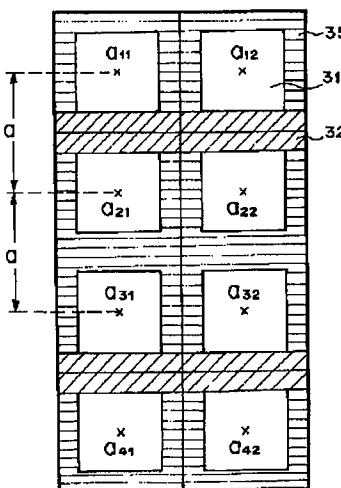
【図9】



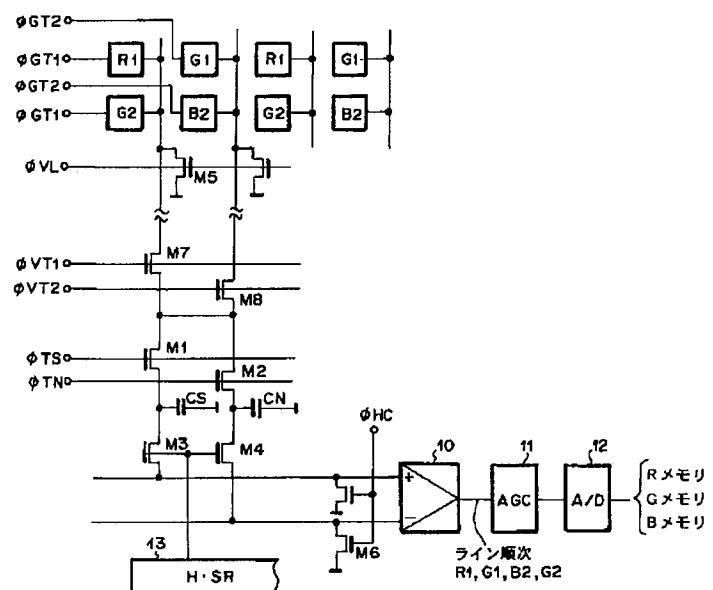
【図5】



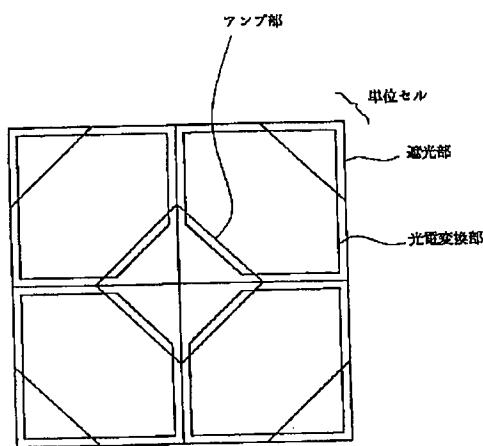
【図10】



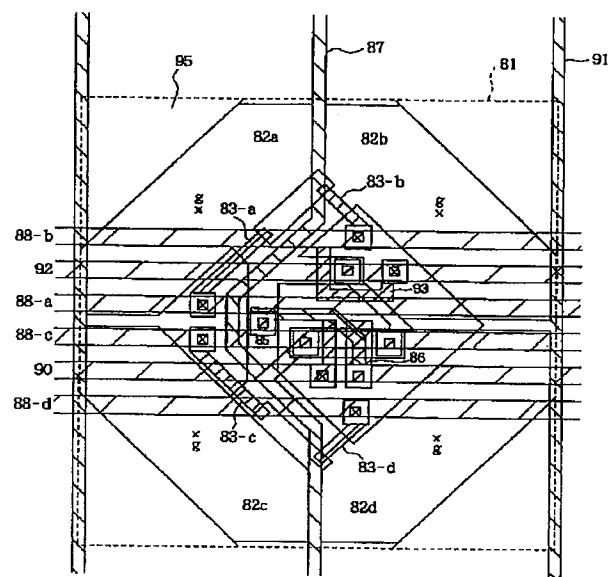
〔四六〕



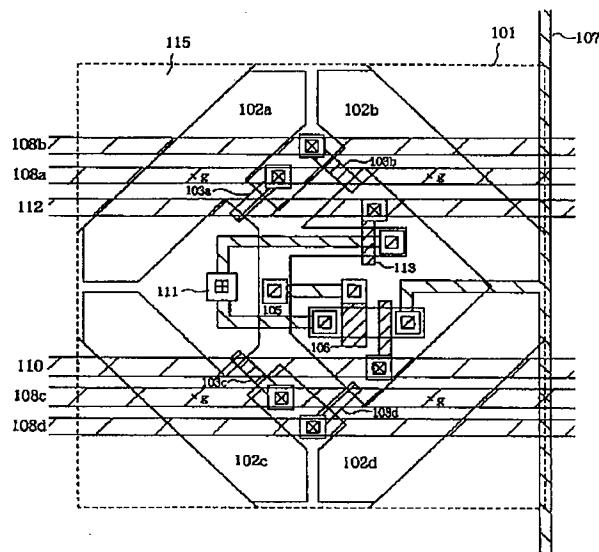
【図13】



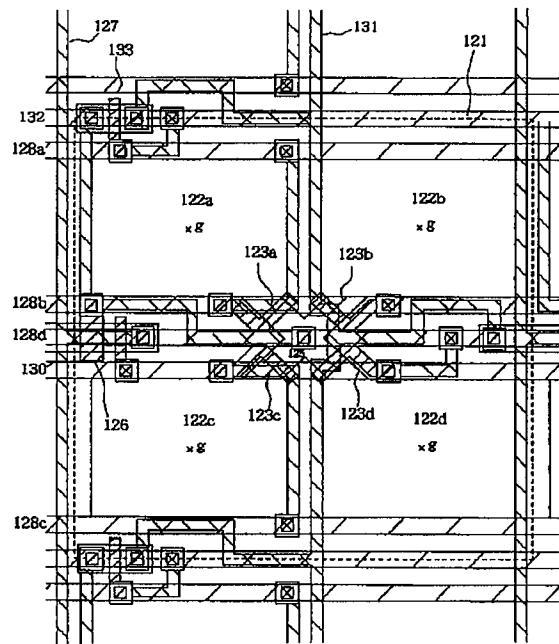
【図 1-1】



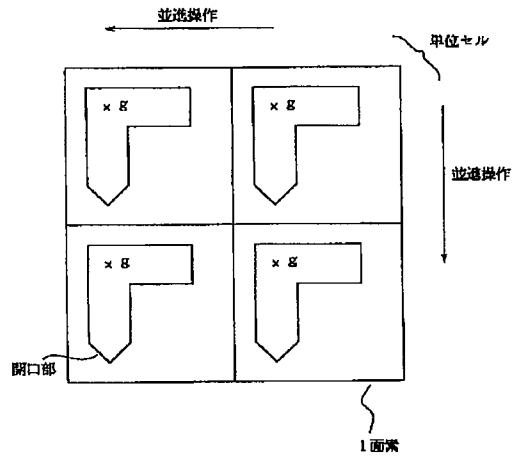
【図12】



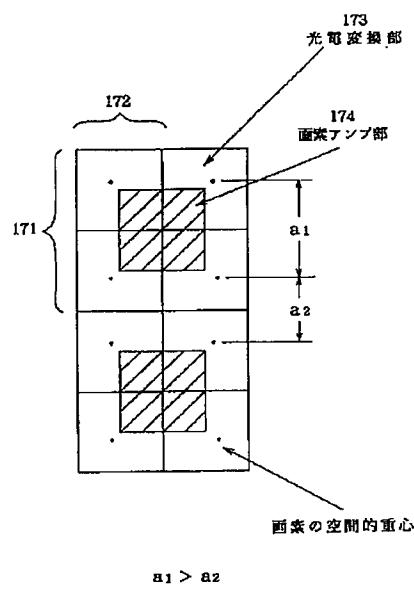
【図14】



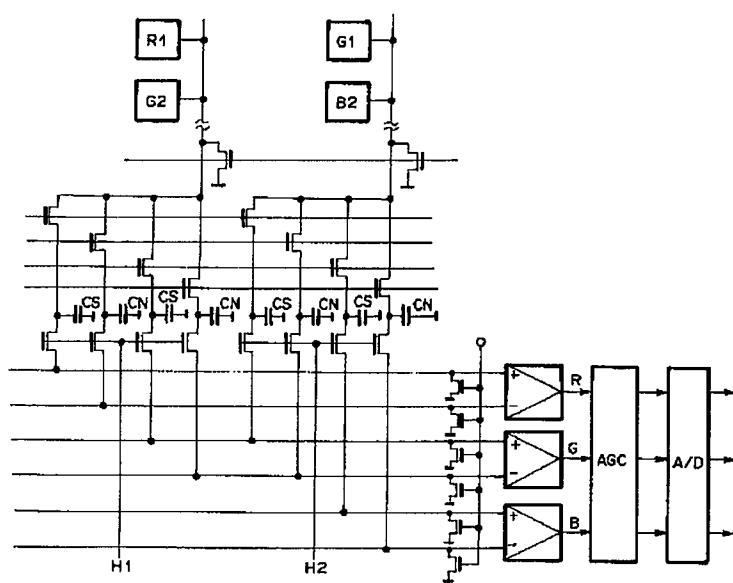
【図15】



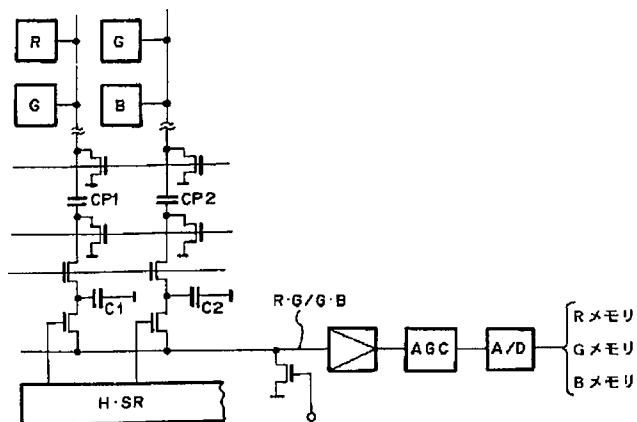
【図16】



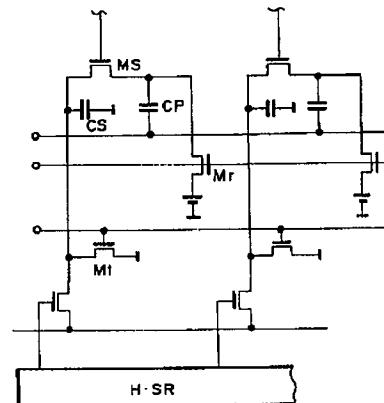
【図17】



【図18】



【図19】



【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成13年6月29日(2001.6.29)

【公開番号】特開2000-78475(P2000-78475A)

【公開日】平成12年3月14日(2000.3.14)

【年通号数】公開特許公報12-785

【出願番号】特願平10-248730

【国際特許分類第7版】

G02F 1/1343

C08G 69/00

73/10

G02F 1/133 505

1/1333

1/1335 505

1/1337 525

1/136 500

G09F 9/30 340

H04N 5/335

H01L 27/146

H04N 9/07

【F I】

G02F 1/1343

C08G 69/00

73/10

G02F 1/133 505

1/1333

1/1335 505

1/1337 525

H04N 5/335 E

9/07 A

H01L 27/14 A

【手続補正書】

【提出日】平成12年5月31日(2000.5.3)

1)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】少なくとも行方向に配列された複数の光電変換部と該複数の光電変換部からの信号が入力される共通回路とを配置した単位セルが複数列配列された撮像装置において、

前記単位セル内の各光電変換部について共有される信号保持手段を垂直出力線に接続し、前記光電変換部から前記共通回路を介して前記信号保持手段へ信号を読み出すことを特徴とする撮像装置。

【請求項2】前記信号保持手段から信号出力を行う動作を、各光電変換部ごとに順次行ってなる請求項1に記載の撮像装置。

【請求項3】行方向及び列方向に複数の光電変換画素を配列し、少なくとも二列の光電変換画素列について共有する信号保持手段を垂直出力線に接続し、前記信号保持手段は、画像信号を蓄積する画像信号保持手段と、該画像信号のノイズ成分を蓄積するノイズ保持手段とからなり、

各光電変換画素から前記信号保持手段へ信号を読み出し、前記信号保持手段から信号出力を行う動作を、前記少なくとも二列の光電変換画素列の列方向と行方向について各光電変換画素ごとに順次行ってなる撮像装置。

【請求項4】前記信号保持手段は、画像信号を蓄積する画像信号保持手段と、該画像信号のノイズ成分を蓄積するノイズ保持手段とからなり、該画像信号から該ノイ

ズ成分を差分する手段を有することを特徴とする請求項
2又は請求項3に記載の撮像装置。

【請求項5】 前記光電変換部に色フィルタを配置したこと
を特徴とする請求項1に記載の撮像装置。

【請求項6】 前記光電変換画素に色フィルタを配置したこと
を特徴とする請求項3に記載の撮像装置。

【請求項7】 前記光電変換画素は、光電変換部と該光電
変換部からの信号が入力されるアンプとを有する請求
項3に記載の撮像装置。

【請求項8】 前記共通回路は、前記光電変換部からの信
号を増幅する増幅手段と前記単位セルをリセットする
リセット手段とを有することを特徴とする請求項1に記
載の撮像装置。

【請求項9】 前記アンプは、前記光電変換部からの信
号を増幅する増幅手段と前記単位セルをリセットするリ
セット手段とを有することを特徴とする請求項7に記載
の撮像装置。

【請求項10】 請求項1、2、4、5、7、8のい
ずれかの請求項に記載の撮像装置において、少なくとも前
記光電変換部間のピッチを少なくとも垂直方向又は水平
方向の一方向で等ピッチに調整するための調整手段を設
けたことを特徴とする撮像装置。

【請求項11】 請求項10に記載の撮像装置にお
いて、前記調整手段は遮光膜であることを特徴とする撮像
装置。

【請求項12】 請求項1、2、4、5、8、10、1
1のい
ずれかの請求項に記載の撮像装置において、前記
共通回路は単位セルの中心部に配置したことを特徴とす
る撮像装置。

【請求項13】 請求項11に記載の撮像装置にお
いて、前記遮光膜は隣り合う単位セル間に配置したことを
特徴とする撮像装置。

【請求項14】 請求項13に記載の撮像装置にお
いて、前記遮光膜は少なくとも前記単位セルの水平方向又
は垂直方向の中心線に対して線対称となる位置に配置し
たことを特徴とする撮像装置。

【請求項15】 行方向及び列方向に配列された複数の
光電変換画素と、
少なくとも二列の光電変換画素列について共有して垂直

出力線に設けられた第一の信号保持手段と、
前記少なくとも二列の光電変換画素列以外の少なくとも
二列の光電変換画素列について共有して垂直出力線に設
けられた第二の信号保持手段とを有し、

前記第一の信号保持手段及び第二の信号保持手段はそれ
ぞれ、前記光電変換画素からの画像信号を保持する画像
信号保持手段と、前記画像信号のノイズ成分を蓄積する
ノイズ保持手段とを含むことを特徴とする撮像装置。

【請求項16】 前記第一の信号保持手段からの信号と
前記第二の信号保持手段からの信号とで共有して設けら
れる水平出力線を有し、

前記第一の信号保持手段から信号が前記水平出力線に読
み出された後に、前記第二の信号保持手段からの信号が
前記水平出力線に読み出されることを特徴とする請求項
15に記載の撮像装置。

【請求項17】 請求項1～16のいずれかの請求項に
記載の撮像装置と、前記撮像装置への光を結像するレン
ズと、前記撮像装置からの出力信号を処理する信号処理
回路とを有することを特徴とする撮像システム。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正内容】

【0016】また本発明の撮像装置は、行方向及び列方
向に配列された複数の光電変換画素と、少なくとも二列
の光電変換画素列について共有して垂直出力線に設けら
れた第一の信号保持手段と、前記少なくとも二列の光電
変換画素列以外の少なくとも二列の光電変換画素列につ
いて共有して垂直出力線に設けられた第二の信号保持手
段とを有し、前記第一の信号保持手段及び第二の信号保
持手段はそれぞれ、前記光電変換画素からの画像信号を
保持する画像信号保持手段と、前記画像信号のノイズ成
分を蓄積するノイズ保持手段とを含むことを特徴とする
ものである。本発明の撮像システムは、上記本発明の撮
像装置と、前記撮像装置への光を結像するレンズと、前
記撮像装置からの出力信号を処理する信号処理回路とを
有することを特徴とするものである。

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-224482

(43)Date of publication of application : 11.08.2000

(51)Int.Cl. H04N 5/335

H01L 27/146

(21)Application number : 11-020502 (71)Applicant : IND TECHNOL RES

INST

(22)Date of filing : 28.01.1999 (72)Inventor : O ITO

(54) ACTIVE IMAGE SENSOR PROVIDED WITH SHARED READ STRUCTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an active image sensor capable of sharing one set of read circuits by the photodiodes of two active image sensors in contact with each other.

SOLUTION: The active image sensor provided with a shared read structure is provided with a first photodiode D1, a first NMOS transistor M1, a second photodiode D2, a second NMOS transistor M2, a third NMOS transistor M3 and a fourth NMOS transistor M4. By time division controlling the changeover of first and second selection signals are reset signals and switching the potential of a variable voltage source, luminosity sensed by the first and second photodiodes D1, D2 is read from an output end present at the source of the fourth NMOS transistor M4.

* NOTICES *

JPO and INPIT are not responsible for any
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]The anode of the 1st photo-diode is grounded and it acts to source of the 1st NMOS transistor as a couple of the negative pole, . Act to the 1st selection signal as a couple of the gate of the 1st NMOS transistor. The 1st photo-diode and the 1st NMOS transistor, and the anode of the 2nd photo-diode are grounded, It acts to source of the 2nd NMOS transistor as a couple of the negative pole, . Act to the 2nd selection signal as a couple of the gate of the 2nd NMOS transistor. A drain of the 2nd photo-diode, the 2nd NMOS transistor, and said 1st and 2nd NMOS transistors, It acts to source of the 3rd NMOS transistor, and a gate of the 4th NMOS transistor as a couple, It acts to a variable voltage

source as a couple of each drain of said 3rd and 4th NMOS transistors, . Act to a reset signal as a couple of the gate of said 3rd NMOS transistor. By having the 3rd NMOS transistor and 4th NMOS transistor, carrying out the time sharing control of the change of said 1st and 2nd selection signal and a reset signal, doubling it, and switching potential of said variable voltage source, said 1st [the], Active image sensors which have the common read-out structure being able to read in an outgoing end in sauce of said 4th NMOS transistor luminous intensity perceived by the 2nd photo-diode.

[Claim 2]Said variable voltage source can switch to two states, high tension and a low voltage, Activation sequence of said active image sensors switches (1) variable voltage source to a high-tension state, Input an output pulse of the 1st (or the 2nd) selection signal into the 1st (or the 2nd) NMOS transistor, and it turns ON, A pressure value which is equivalent to gate voltage values from sauce of said 4th NMOS transistor is made to output, a stage where the 1st balanced voltage state is reached, and (2) -- an output pulse of said reset signal being inputted into said 3rd NMOS transistor, and it turning ON, and, Make a pressure value which is equivalent to gate voltage values from sauce of said 4th NMOS transistor output, and the 2nd balanced voltage state is reached, A stage of making it equivalent [a difference of said 2nd and 1st balanced voltage] to luminous intensity which said 1st (or the 2nd) photo-diode has detected, (3)

Switch said variable voltage source to a low-voltage state, and stop an output of a pulse from the 1st (or the 2nd) selection signal, a stage which changes said 1st (or the 2nd) NMOS transistor into a state of off, and (4) -- gate voltage of said 4th NMOS transistor by inputting an output pulse of a reset signal into said 3rd NMOS transistor, and turning ON, [reset and] The active image sensors according to claim 1 which repeat a series of operations more than a stage which changes the 4th NMOS transistor into a state of off, and (5), and are characterized by consisting of each stage of stage ** which reads luminous intensity which the following photo-diode has detected.

[Claim 3]Output time of a pulse of said 1st selection signal and said 2nd selection signal does not lap, Active image sensors which have the common read-out structure according to claim 2, wherein time when said 3rd NMOS transistor is turned on [it] is shorter than time when said variable voltage source is in a high-tension state.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the active image sensors (active image sensor) and the active image sensors which have common read-out structure especially.

[0002]

[Description of the Prior Art] Although charge coupled devices are generally used for an image sensor, active image sensors can also be used. These active image sensors can do the NMOS transistor produced at a Standard C MOS process combining a photo-diode.

[0003] The circuit diagram of active image sensors was shown in drawing 1. The drain of NMOS transistor T1 is set to constant-pressure voltage source VB, it acts to the negative pole of the photo-diode Dp as a couple of the source, respectively, and the anode of the photo-diode Dp is grounded so that it may be shown among a figure. Source is made said constant-pressure voltage source VB, and the drain of NMOS transistor T3 and the gate act to the negative pole of the photo-diode Dp as a couple of the drain of NMOS transistor T2, respectively.

[0004] If luminous intensity is perceived with the photo-diode Dp, active image sensors will change it into an electrical signal, and will output it from the source of transistor T3. A series of read-out operations are the same as a source follower. The working principle is explained in more detail based on the timing diagram of drawing 2. However, drawing 2 is the simplified schematic for explanation, and is

not what was created based on a actual pressure value and time scale.

[0005]First, the pulse of selection signal SL is inputted into the source of transistor T3, and turns ON this transistor T3. The transistor T1 is still in the state of off at the time of the time limit (1), and at this time, after the voltage VIN of the node A is amplified through the transistor T2 and T3, it is outputted as V1 from a readout end. The transistor T1 is turned on [it] in response to the pulse of the reset signal RST, and makes the voltage of the node A produce change at the time of the time limit (2). And the transistor T1 is again come by off [it] at the time of the time limit (3), and the voltage VIN of the node A is outputted as V2 from a readout end, after being converted by the transistor T2 and T3. As mentioned above, it turns out that signal V2-V1 is equivalent to luminous intensity.

[0006]A general image sensor is what has arranged active-image-sensors plurality which was mentioned above to matrix form, and a photo-diode plays the role of an image in each sensor element. Drawing 3 is IC wiring diagram of such an image sensor. Among these, the rectangular head of the dotted line expresses each active image sensors, and conductor parts showed selection signal line SL, the reset signal wire RST, voltage source lead VB, and the outgoing end lead readout for simplification.

[0007]Based on a CMOS technology, each active image sensors are using the

two control lines, selection signal line ST and the reset signal wire RSL, respectively, and each of these is made from polysilicon. Each of voltage source lead VB and readout end leads is made from metal.

[0008]According to drawing 1 and 3, voltage source lead VB and a readout end lead, respectively The transistor T1, the drain of T2, And since it is acting to the source (n form diffuse area) of transistor T3 as a couple and is moreover acting also to the gate (it consists of polysilicon) of the transistor T2 as a couple of the source of the transistor T1, Each active image sensors need every three pieces and one photo-diode for the contact area and an NMOS transistor.

[0009]

[Problem(s) to be Solved by the Invention]Thus, in the image sensor constituted by the active image sensors of a conventional type. The readout circuit of the lot which consists of the transistor T1, T2, and T3 is needed according to each for every photo-diode of that, and read-out of the luminous intensity perceived with the photo-diode (pixel) has disadvantage which makes area of an integrated circuit large of complicating both manufacturing processes.

[0010]Then, this invention tends to provide the active image sensors that the photo-diode of two meeting active image sensors can share the readout circuit of a lot, and tends to contribute to reduction of the reduction of area of an integrated circuit, and the complexity of a manufacturing process greatly by this.

[0011]

[Means for Solving the Problem] Active image sensors which have this invention common read-out structure, By controlling voltage of a variable voltage source by a suitable timetable method, two photo-diodes (pixel) are what can share 1 set of readout circuits, Such active image sensors do not need again an output selection transistor needed by active image sensors of a conventional type. And active image sensors which have this invention common read-out structure need four pieces for an NMOS transistor, and just need to need two pieces and three contact area for a photo-diode.

[0012] Active image sensors which have this invention common read-out structure have the 1st photo-diode and 1st NMOS transistor, 2nd photo-diode, 2nd NMOS transistor, 3rd NMOS transistor, and 4th NMOS transistor. The anode of said 1st photo-diode is grounded, and it acts to source of said 1st NMOS transistor as a couple of the negative pole, and acts to the 1st selection signal as a couple of the gate of the 1st NMOS transistor. The anode of said 2nd photo-diode is grounded, and it acts to source of said 2nd NMOS transistor as a couple of the negative pole, and acts to the 2nd selection signal as a couple of the gate of said 2nd NMOS transistor.

[0013] A drain of said 1st and 2nd NMOS transistors, It acts to source of said 3rd transistor, and a gate of the 4th NMOS transistor as a couple, It acts to a variable

voltage source as a couple of each drain of said 3rd and 4th NMOS transistors, and acts to a reset signal as a couple of the gate of said 3rd NMOS transistor. By carrying out the time sharing control of the change of said 1st and 2nd selection signal and a reset signal, doubling it, and switching potential of said variable voltage source, Luminous intensity perceived by said 1st and 2nd photo-diode can be read in the outgoing end readout in source of said 4th NMOS transistor.

[0014]Said variable voltage source can be switched to two states, high tension and a low voltage. A concrete operation method of active image sensors which have common read-out structure is explained below.

[0015](1) If variable voltage is switched to a high-tension state, the 1st (or the 2nd) NMOS transistor will be turned on [it] in response to an output pulse of the 1st (or the 2nd) selection signal, Said 4th NMOS transistor outputs a pressure value equivalent to the gate voltage values from source, and reaches the 1st balanced voltage state.

(2) If said 3rd NMOS transistor is turned on [it] in response to an output pulse of said reset signal, said 4th NMOS transistor will output a pressure value equivalent to the gate voltage values from source, and will reach the 2nd balanced voltage state. A difference of said 2nd and 1st balanced voltage is equivalent to luminous intensity which said 1st (or the 2nd) photo-diode has detected.

(3) If said variable voltage is switched to a low-voltage state, a pulse is not outputted from the 1st (or the 2nd) selection signal, but said 1st (or the 2nd) NMOS transistor will be in a state of off.

(4) If said 3rd NMOS transistor is turned on [it] in response to an output pulse of a reset signal, gate voltage of said 4th NMOS transistor is reset, and the 4th NMOS transistor will be in a state of off.

(5) Repeat the above operation and read luminous intensity which each photo-diode has detected.

[0016]

[Embodiment of the Invention]In order to make still clearer the purpose, the feature, and the strong point of this invention, the example of this invention is given to below and it explains to it in detail.

[0017]As shown in example drawing 4, the connection relations of the active image sensors which have the common read-out structure concerning this invention are as follows. The anode of the 1st photo-diode D1 is grounded, and it acts to the source of 1st NMOS transistor M1 as a couple of the negative pole, and acts to the 1st selection signal S1 as a couple of the gate of the 1st transistor M1. The anode of the 2nd photo-diode D2 is grounded, and it acts to the source of 2nd NMOS transistor M2 as a couple of the negative pole, and acts to the 2nd selection signal S2 as a couple of the gate of said 2nd transistor M2.

[0018]The source of 3rd NMOS transistor M3, Said 1st [the] and the 2nd transistor (M1, M2) both drain, And it acts to the gate of 4th NMOS transistor M4 as a couple, acts to variable voltage source VC as a couple of the said 3rd and 4th transistor (M3, M4) both drain, and acts to the reset signal RST as a couple of the gate of said 3rd transistor.

[0019]By carrying out the time sharing control of the change of said 1st and 2nd selection signal (S1, S2) and the reset signal RST, doubling it, and switching the potential of said variable voltage source VC, The luminous intensity perceived by said 1st and 2nd photo-diode (D1, D2) can be read in the outgoing end readout in the source of said 4th NMOS transistor M4. Here, said variable voltage source VC can be switched to two states (for example, 3V, 0V, etc.), high tension and the low voltage.

[0020]The image sensor shown in drawing 5 arranges the active-image-sensors plurality which has this invention common read-out structure to matrix form. Here, only the address of the photo-diode is shown. An image sensor meets horizontally, reads the luminous intensity which the photo-diode has detected from the 1st line to the n-th line, and outputs as luminous intensity what added processing to it.

[0021]The photo-diode (D1 and D2) which adjoined each other up and down in this invention unites, and it has become one unit, The purpose as active image

sensors which have common read-out structure is attained by carrying out the time sharing control of the change of said 1st and 2nd selection signal (S1, S2) and the reset signal RST, doubling it, and switching the potential of variable voltage source VC.

[0022] Drawing 6 explains the working principle of the active image sensors which have this invention common read-out structure. The waveform timing diagram of this drawing 6 is the simplified schematic for explanation, and was not created based on a actual pressure value or time scale.

[0023] When said variable voltage source VC is in a high-tension state (3V), said 1st transistor M1 is set to being turned on in response to the output pulse (5V) of said 1st selection signal S1. Said 4th transistor M4 outputs the pressure value equivalent to voltage V_R of the node B from the outgoing end readout in sauce at the time of the time limit (a) in drawing 6. That is, balanced voltage V_{out1} ** 1st 1 is outputted. M3 will be set to being turned on if the output pulse (5V) of a reset signal reaches 3rd NMOS transistor M3. At this time, voltage V_R of the node B changes to another pressure value through the time limit (b).

[0024] At the time of the time limit (c), the output pulse of a reset signal is removed and the 3rd transistor M3 will be in an off state again. At this time, said 4th transistor outputs the pressure value equivalent to the pressure value of the node B, i.e., balanced voltage V_{out2} ** 2nd 2. The difference ($V_{out2}-V_{out1}$) of the

2nd and 1st balanced voltage is equivalent to the luminous intensity which said 1st photo-diode D1 (or the 2nd photo-diode D2) has detected. Subsequently, said variable voltage source VC is switched to a low-voltage state (0V), the output pulse of said 1st selection signal S1 is removed, and the 1st transistor M1 is changed into an off state.

[0025]In the time limit (d), it is set to being turned on in response to the output pulse (5V) of said reset signal, and by this, said 3rd transistor M3 brings the pressure value of the node B close to the potential (0V) of variable voltage source VC, and resets the pressure value of the node B. As mentioned above, reading of the photo-diode D1 is completed.

[0026]Subsequently, what is necessary is to replace said 1st transistor M1 and said 1st selection signal S1, respectively with said 2nd transistor M2 and said 2nd selection signal S2, and just to repeat the procedure which mentioned above, in order to read the luminous intensity which the photo-diode D2 has detected.

[0027]The time when the output time of the pulse of said 1st selection signal S1 and said 2nd selection signal S2 does not lap, and said 3rd transistor M3 is turned on [it] is shorter than the time when said variable voltage source VC is in a high-tension state.

[0028]

[Effect of the Invention]In a passage clearer than the place explained in full detail above, the active image sensors which have the common read-out structure concerning this invention only need four pieces and three contact area for an NMOS transistor to two photo-diodes as one unit. On the other hand, three NMOS transistors and three contact area are required for the image sensor of a conventional type per photo-diode as one unit.

[0029]Therefore, when the case where resolution was 640x480 was taken for the example and the image sensor of a conventional type is used, If the image sensor by this invention is used to a photo-diode being required for 640x480x3 pieces respectively in 640x480 pieces, an NMOS transistor, and the contact area, it turns out that 640x480 pieces come out in a photo-diode, 640x480x2 pieces and 640x480x1.5 contact area come out in an NMOS transistor, it ends and the number of a required NMOS transistor and contact area can be reduced substantially. Therefore, drastic reduction of area is possible at the time of manufacture of an integrated circuit, and it leads to improved efficiency.

[0030]Since a circuit required of this invention is easy and it is easy to control it, it is useful to improvement in reliability. In addition, the active image sensors by this invention do not need an output selection transistor required for the image sensor of a conventional type.

[0031]Although the desirable example was indicated above, these never limit the

range of this invention, and are based on the contents skilled on the art concerned as for which anyone can add various kinds of change and embellishment within limits which do not escape from the pneuma and the field of this invention if it becomes, and the person specified the scope of protection of this invention by the claim.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1]It is a circuit diagram of the active image sensors of a conventional type.

[Drawing 2]It is an operating timing figure of the circuit shown by drawing 1.

[Drawing 3]It is an outline plot plan of the image sensor which comprises active image sensors of a conventional type.

[Drawing 4]It is a circuit diagram of the active image sensors by the example of this invention.

[Drawing 5]It is an outline plot plan of the image sensor which comprises active image sensors by this invention.

[Drawing 6]It is an operating timing figure of the circuit shown by drawing 4.

[Description of Notations]

VB Constant-pressure voltage source

T1 - T3 NMOS transistor

D_p Photo-diode

RST reset signal

V_{IN} Voltage in the node A

Readout Outgoing end

SL Selection signal

V_C Variable voltage source

M1 - M4 NMOS transistor

Voltage in the V_R node B

S1 The 1st selection signal

S2 The 2nd selection signal

D1 and D2 Photo-diode

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-224482

(P2000-224482A)

(43)公開日 平成12年8月11日(2000.8.11)

(51)Int.Cl.⁷

H 04 N 5/335

H 01 L 27/146

識別記号

F I

テーマコード*(参考)

H 04 N 5/335

E 4 M 1 1 8

H 01 L 27/14

A 5 C 0 2 4

審査請求 有 請求項の数 2 O L (全 10 頁)

(21)出願番号

特願平11-20502

(22)出願日

平成11年1月28日(1999.1.28)

(71)出願人 390023582

財团法人工業技術研究院

台灣新竹縣竹東鎮中興路四段195號

(72)発明者 王 怡棠

台灣新竹市東區綠水里16鄰博愛街124号

(74)代理人 100062476

弁理士 原田 信市

F ターム(参考) 4M118 AA10 AB10 BA14 CA02 DD09

DD12 FA06

5C024 AA01 CA00 FA01 GA01 GA31

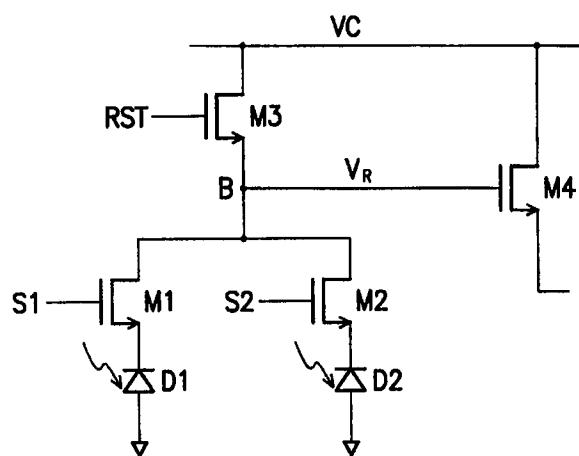
HA10 JA04

(54)【発明の名称】 共用読出し構造を有するアクティブイメージセンサ

(57)【要約】

【課題】 相接する2つのアクティブイメージセンサのフォトダイオードが一組の読出し回路を共用できるようなアクティブイメージセンサを提供すること。

【解決手段】 第1のフォトダイオードおよび第1のN MOSトランジスタ、第2のフォトダイオードおよび第2のNMOSトランジスタ、ならびに第3のNMOSトランジスタおよび第4のNMOSトランジスタ、を有し、第1、第2の選択信号およびリセット信号の切り換えを時間割制御し、合わせて可変電圧源の電位を切り換えることにより、前記第1、第2のフォトダイオードにより感知された光度を、前記第4のNMOSトランジスタのソースにある出力端から読取ることができる共用読出し構造を有するアクティブイメージセンサ。



階、

(5) 以上の一連の動作を繰り返し、次のフォトダイオードが感知した光度を読取る段階、
の各段階よりなることを特徴とする、請求項1に記載の
アクティブイメージセンサ。

【請求項3】 前記第1の選択信号と前記第2の選択信号のパルスの出力時間が重なることはなく、また、前記第3のNMOSトランジスタがonになる時間は前記可変電圧源が高電圧状態にある時間よりも短いことを特徴とする、請求項2に記載の共用読出し構造を有するアクティブイメージセンサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、アクティブイメージセンサ (active image sensor)、特に、共用読出し構造を有するアクティブイメージセンサに関するものである。

【0002】

【従来の技術】 イメージセンサには一般に電荷結合デバイスが使用されるが、アクティブイメージセンサを使用することもできる。このアクティブイメージセンサとは、標準CMOS工程で生産されるNMOSトランジスタをフォトダイオードと組み合わせてできるものである。

【0003】 アクティブイメージセンサの回路図を図1に示した。図中示されるように、NMOSトランジスタT1のドレインは定圧電圧源VBに、ソースはフォトダイオードDpの陰極にそれぞれカップルされており、そのフォトダイオードDpの陽極は接地されている。NMOSトランジスタT2のドレインは前記定圧電圧源VBに、ソースはNMOSトランジスタT3のドレインに、そしてゲートはフォトダイオードDpの陰極にそれぞれカップルされている。

【0004】 アクティブイメージセンサは、フォトダイオードDpで光度を感知すると、それを電気信号に変換してトランジスタT3のソースから出力する。一連の読出し操作はソースホロワと同じである。その作動原理について、図2のタイミング図をもとにさらに詳しく説明する。ただし、図2は説明のための簡略図であり、実際の電圧値や時間スケールにもとづいて作成したものではない。

【0005】 先ず、選択信号SLのパルスがトランジスタT3のソースに入力され、該トランジスタT3をonにする。時限(1)の時、トランジスタT1はまだoffの状態にあり、この時ノードAの電圧VINは、トランジスタT2、T3を経て増幅された後、readout端からV1として出力される。時限(2)の時、トランジスタT1はリセット信号_RSTのパルスを受けてonになり、ノードAの電圧に変化を生じさせる。そして時限(3)の時、トランジスタT1は再びoffにな

【特許請求の範囲】

【請求項1】 第1のフォトダイオードの陽極は接地され、陰極は第1のNMOSトランジスタのソースにカップルされており、その第1のNMOSトランジスタのゲートは第1の選択信号にカップルされる、第1のフォトダイオードおよび第1のNMOSトランジスタ、
第2のフォトダイオードの陽極は接地され、陰極は第2のNMOSトランジスタのソースにカップルされており、その第2のNMOSトランジスタのゲートは第2の選択信号にカップルされる、第2のフォトダイオードおよび第2のNMOSトランジスタ、ならびに前記第1および第2のNMOSトランジスタのドレインは、第3のNMOSトランジスタのソースおよび第4のNMOSトランジスタのゲートとカップルされており、前記第3および第4のNMOSトランジスタのドレインはいずれも可変電圧源にカップルされており、前記第3のNMOSトランジスタのゲートはリセット信号にカップルされる、第3のNMOSトランジスタおよび第4のNMOSトランジスタ、を有し、
前記第1、第2の選択信号およびリセット信号の切り換えを時間割制御し、合わせて前記可変電圧源の電位を切り換えることにより、前記第1、第2のフォトダイオードにより感知された光度を、前記第4のNMOSトランジスタのソースにある出力端から読取ることができるることを特徴とする、共用読出し構造を有するアクティブイメージセンサ。

【請求項2】 前記可変電圧源が高電圧と低電圧の2つの状態に切り換えることができ、前記アクティブイメージセンサの作動順序が、

(1) 可変電圧源を高電圧状態に切り換え、第1(または第2)のNMOSトランジスタに第1(または第2)の選択信号の出力パルスを入力してonにし、前記第4のNMOSトランジスタのソースからゲート電圧値に相当する電圧値を出力させ、第1の平衡電圧状態に達するような段階、

(2) 前記第3のNMOSトランジスタに前記リセット信号の出力パルスを入力してonにし、前記第4のNMOSトランジスタのソースからゲート電圧値に相当する電圧値を出力させて第2の平衡電圧状態に達し、前記第2および第1の平衡電圧の差が、前記第1(または第2)のフォトダイオードが感知した光度に相当するようになる段階、

(3) 前記可変電圧源を低電圧状態に切り換え、第1(または第2)の選択信号からのパルスの出力をやめ、前記第1(または第2)のNMOSトランジスタをoffの状態にする段階、

(4) 前記第3のNMOSトランジスタにリセット信号の出力パルスを入力してonにすることにより、前記第4のNMOSトランジスタのゲート電圧をリセットし、第4のNMOSトランジスタをoffの状態にする段

り、ノードAの電圧V_{IN}はトランジスタT₂、T₃で転換された後、readout端からV₂として出力される。以上から、信号V₂-V₁が光度に相当することがわかる。

【0006】一般的なイメージセンサは、上述したようなアクティブイメージセンサ複数個を行列状に配置したもので、各センサ素子においてイメージの役割を果たすのはフォトダイオードである。図3は、このようなイメージセンサのIC配線図である。このうち、点線の四角は各アクティブイメージセンサを表わしており、簡略化のため、導線部分は選択信号線S_L、リセット信号線R_S_T、電圧源導線V_B、および出力端導線readoutのみを示した。

【0007】CMOS技術に基づき、各アクティブイメージセンサはそれぞれ選択信号線S_T、リセット信号線R_S_Lの2本の制御線を使用しており、これらはいずれもポリシリコンを材料とする。また、電圧源導線V_B、およびreadout端導線はいずれも金属を材料とする。

【0008】図1、3によれば、電圧源導線V_B、およびreadout端導線はそれぞれトランジスタT₁、T₂のドレイン、およびトランジスタT₃のソース(n形拡散域)にカップルしており、しかもトランジスタT₁のソースはトランジスタT₂のゲート(ポリシリコンよりなる)にもカップルしているため、各アクティブイメージセンサとも接触域とNMOSトランジスタを3個づつ、そしてフォトダイオードを1個必要とする。

【0009】

【発明が解決しようとする課題】このように、従来型のアクティブイメージセンサにより構成されるイメージセンサでは、フォトダイオード(画素)で感知された光度の読み出しに、その各フォトダイオードごとに、トランジスタT₁、T₂、T₃よりなる一組の読み出し回路を各別に必要とし、集積回路の面積を広くするともに製造工程を複雑にするという不利がある。

【0010】そこで、本発明は、相接する2つのアクティブイメージセンサのフォトダイオードが一組の読み出し回路を共用できるようなアクティブイメージセンサを提供し、これによって、集積回路の面積縮小、製造工程の複雑度の減少に大きく貢献しようとするものである。

【0011】

【課題を解決するための手段】本発明共用読み出し構造を有するアクティブイメージセンサは、可変電圧源の電圧を適切な時間割方式で制御することにより、2つのフォトダイオード(画素)が1組の読み出し回路を共用することができるものであり、このようなアクティブイメージセンサはまた、従来型のアクティブイメージセンサで必要とする出力選択トランジスタを必要としない。しかも、本発明共用読み出し構造を有するアクティブイメージセンサは、NMOSトランジスタを4個、フォトダイオ

ードを2個、そして接触域を3個必要とするだけですむ。

【0012】本発明共用読み出し構造を有するアクティブイメージセンサは、第1のフォトダイオードおよび第1のNMOSトランジスタ、第2のフォトダイオードおよび第2のNMOSトランジスタ、ならびに、第3のNMOSトランジスタおよび第4のNMOSトランジスタを有する。前記第1のフォトダイオードの陽極は接地され、陰極は前記第1のNMOSトランジスタのソースにカップルされており、その第1のNMOSトランジスタのゲートは第1の選択信号にカップルされる。前記第2のフォトダイオードの陽極は接地され、陰極は前記第2のNMOSトランジスタのソースにカップルされており、前記第2のNMOSトランジスタのゲートは第2の選択信号にカップルされる。

【0013】前記第1および第2のNMOSトランジスタのドレインは、前記第3のトランジスタのソースおよび第4のNMOSトランジスタのゲートとカップルされており、前記第3および第4のNMOSトランジスタのドレインはいずれも可変電圧源にカップルされており、前記第3のNMOSトランジスタのゲートはリセット信号にカップルされる。前記第1、第2の選択信号およびリセット信号の切り換えを時間割制御し、合わせて前記可変電圧源の電位を切り換えることにより、前記第1、第2のフォトダイオードにより感知された光度を、前記第4のNMOSトランジスタのソースにある出力端readoutから読み取ることができる。

【0014】前記可変電圧源は、高電圧と低電圧の2つの状態に切り換えることができる。共用読み出し構造を有するアクティブイメージセンサの具体的な操作方法を以下に説明する。

【0015】(1) 可変電圧を高電圧状態に切り換えると、第1(または第2)のNMOSトランジスタが第1(または第2)の選択信号の出力パルスを受けてonになり、前記第4のNMOSトランジスタはそのゲート電圧値に相当する電圧値をソースから出力して第1の平衡電圧状態に達する。

(2) 前記第3のNMOSトランジスタが前記リセット信号の出力パルスを受けてonになると、前記第4のNMOSトランジスタはそのゲート電圧値に相当する電圧値をソースから出力し、第2の平衡電圧状態に達する。前記第2および第1の平衡電圧の差が、前記第1(または第2)のフォトダイオードが感知した光度に相当する。

(3) 前記可変電圧を低電圧状態に切り換えると、第1(または第2)の選択信号からパルスは出力されず、前記第1(または第2)のNMOSトランジスタはoffの状態になる。

(4) 前記第3のNMOSトランジスタがリセット信号の出力パルスを受けてonになると、前記第4のNMO

Sトランジスタのゲート電圧がリセットされ、第4のN MOSトランジスタはoffの状態になる。

(5) 以上の動作を繰り返し、各フォトダイオードが感知した光度を読み取っていく。

【0016】

【発明の実施の形態】本発明の目的、特徴および長所をさらに明瞭にするため、以下に本発明の実施例を挙げて詳しく説明する。

【0017】実施例

図4に示されるように、本発明に係る共用読み出し構造を有するアクティブイメージセンサの連結関係は次の通りである。第1のフォトダイオードD1の陽極は接地され、陰極は第1のN MOSトランジスタM1のソースにカップルされており、その第1のトランジスタM1のゲートは第1の選択信号S1にカップルされる。第2のフォトダイオードD2の陽極は接地され、陰極は第2のN MOSトランジスタM2のソースにカップルされており、前記第2のトランジスタM2のゲートは第2の選択信号S2にカップルされる。

【0018】第3のN MOSトランジスタM3のソースは、前記第1および第2のトランジスタ(M1、M2)両者のドレン、ならびに第4のN MOSトランジスタM4のゲートにカップルされており、前記第3および第4のトランジスタ(M3、M4)両者のドレンは可変電圧源VCにカップルされており、前記第3のトランジスタのゲートはリセット信号RSTにカップルされる。

【0019】前記第1、第2の選択信号(S1、S2)およびリセット信号RSTの切り換えを時間割制御し、合わせて前記可変電圧源VCの電位を切り換えることにより、前記第1、第2のフォトダイオード(D1、D2)により感知された光度を、前記第4のN MOSトランジスタM4のソースにある出力端readoutから読み取ることができる。ここで、前記可変電圧源VCは、高電圧と低電圧の2つの状態(例えば3Vと0Vなど)に切り換えることができる。

【0020】図5に示されたイメージセンサは、本発明共用読み出し構造を有するアクティブイメージセンサ複数個を行列状に配置したものである。ここではフォトダイオードの所在地のみを示してある。イメージセンサは、フォトダイオードが感知した光度を水平方向に沿って第1行から第n行まで読み取り、それに処理を加えたものを光度として出力する。

【0021】本発明では上下に隣り合ったフォトダイオード(D1とD2)が合体して1つの単位となっており、前記第1、第2の選択信号(S1、S2)およびリセット信号RSTの切り換えを時間割制御し、合わせて可変電圧源VCの電位を切り換えることにより、共用読み出し構造を有するアクティブイメージセンサとしての目的を達成している。

【0022】図6により、本発明共用読み出し構造を有す

るアクティブイメージセンサの作動原理を説明する。なお、この図6の波形タイミング図は説明のための簡略図であって、実際の電圧値や時間スケールに基づいて作成されたものではない。

【0023】前記可変電圧源VCが高電圧状態(3V)にあるとき、前記第1のトランジスタM1は前記第1の選択信号S1の出力パルス(5V)を受けてonとなる。図6中の時限(a)の時、前記第4のトランジスタM4は、ノードBの電圧VRに相当する電圧値をソースにある出力端readoutから出力する。つまり、第1の平衡電圧Vout1が出力されるわけである。リセット信号の出力パルス(5V)が第3のN MOSトランジスタM3に達するとM3はonとなる。このときノードBの電圧VRは時限(b)を経て別の電圧値に推移する。

【0024】時限(c)の時、リセット信号の出力パルスは除去され、第3のトランジスタM3は再びoff状態となる。この時前記第4のトランジスタは、ノードBの電圧値に相当する電圧値、すなわち第2の平衡電圧Vout2を出力する。その第2と第1の平衡電圧の差(Vout2-Vout1)は、前記第1のフォトダイオードD1(あるいは第2のフォトダイオードD2)が感知した光度に相当する。ついで、前記可変電圧源VCを低電圧状態(0V)に切り換え、前記第1の選択信号S1の出力パルスを除去し、第1のトランジスタM1をoff状態にする。

【0025】時限(d)では、前記第3のトランジスタM3が前記リセット信号の出力パルス(5V)を受けてonとなり、これによってノードBの電圧値を可変電圧源VCの電位(0V)に近づけ、ノードBの電圧値をリセットする。以上よりフォトダイオードD1の読み取りが完了する。

【0026】ついで、フォトダイオードD2が感知した光度を読み取るには、前記第1のトランジスタM1と前記第1の選択信号S1を、前記第2のトランジスタM2と前記第2の選択信号S2でそれぞれ置き換え、上述した手続きを繰り返せばよい。

【0027】前記第1の選択信号S1と前記第2の選択信号S2のパルスの出力時間が重なることはなく、また、前記第3のトランジスタM3がonになる時間は前記可変電圧源VCが高電圧状態にある時間よりも短い。

【0028】

【発明の効果】以上詳述したところより明らかなどおり、本発明に係る共用読み出し構造を有するアクティブイメージセンサは、1単位として、フォトダイオード2個に対し、N MOSトランジスタを4個、そして接触域を3個必要とするだけである。これに対し、従来型のイメージセンサは、1単位として、フォトダイオード1個に対し、N MOSトランジスタ3個、そして接触域3個が必要である。

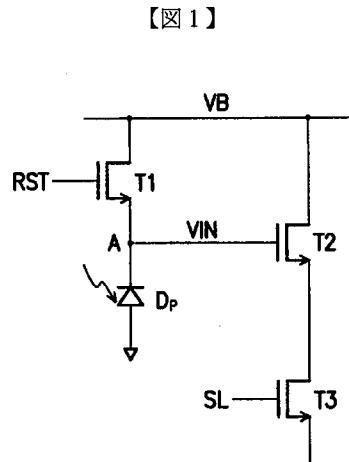
【0029】したがって、解像度が 640×480 の場合を例にとると、従来型のイメージセンサを利用した場合は、フォトダイオードが 640×480 個、NMOSトランジスタと接触域をそれぞれ $640 \times 480 \times 3$ 個が必要であるのに対し、本発明によるイメージセンサを使用すれば、フォトダイオードが 640×480 個、NMOSトランジスタが $640 \times 480 \times 2$ 個、接触域が $640 \times 480 \times 1.5$ 個、ですみ、必要なNMOSトランジスタと接触域の数を大幅に減らせることがわかる。したがって、集積回路の製作時に面積の大幅な削減が可能であり、性能向上につながる。

【0030】また、本発明で必要な回路は簡単且つ制御しやすいため、信頼度の向上に有用である。このほか、本発明によるアクティブイメージセンサは、従来型のイメージセンサに必要な出力選択トランジスタを必要としない。

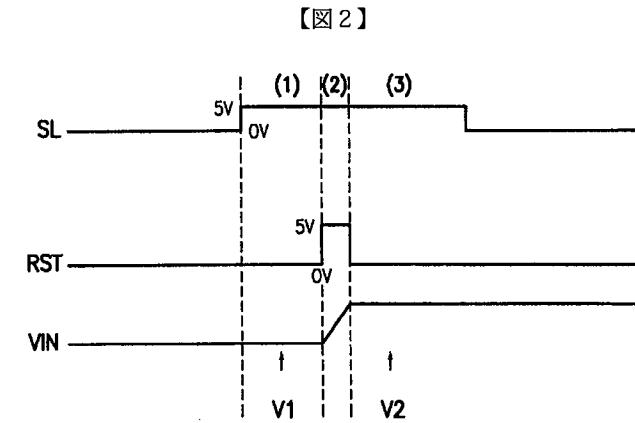
【0031】以上に好ましい実施例を開示したが、これらは決して本発明の範囲を限定するものではなく、当該技術に熟知した者ならば誰でも、本発明の精神と領域を脱しない範囲内で各種の変動や潤色を加えることができるものであり、従って本発明の保護範囲は特許請求の範囲で指定した内容を基準とする。

【図面の簡単な説明】

【図1】従来型のアクティブイメージセンサの回路図である。



【図1】



【図2】

【図2】図1で示された回路の作動タイミング図である。

【図3】従来型のアクティブイメージセンサで構成されるイメージセンサの概要配置図である。

【図4】本発明の実施例によるアクティブイメージセンサの回路図である。

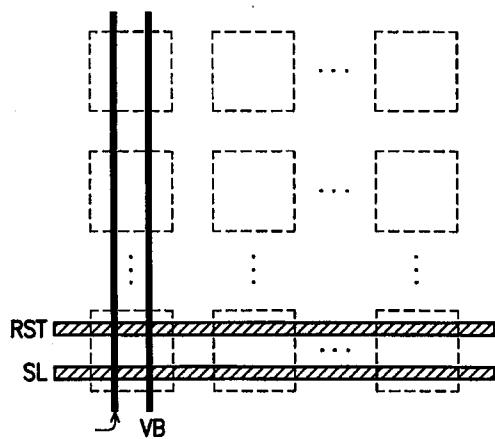
【図5】本発明によるアクティブイメージセンサで構成されるイメージセンサの概要配置図である。

【図6】図4で示される回路の作動タイミング図である。

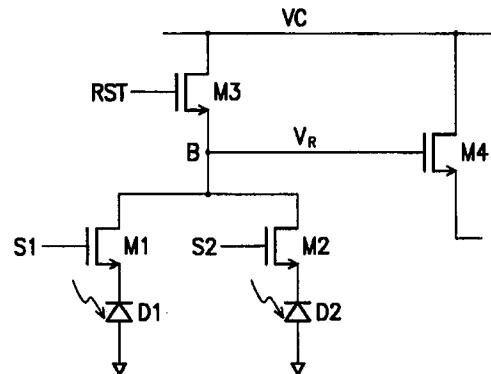
【符号の説明】

V_B	定圧電圧源
$T_1 \sim T_3$	NMOSトランジスタ
D_p	フォトダイオード
$R S T$	リセット信号
$V I N$	ノードAにおける電圧
$R e a d o u t$	出力端
$S L$	選択信号
V_C	可変電圧源
$M_1 \sim M_4$	NMOSトランジスタ
V_R	ノードBにおける電圧
S_1	第1の選択信号
S_2	第2の選択信号
D_1, D_2	フォトダイオード

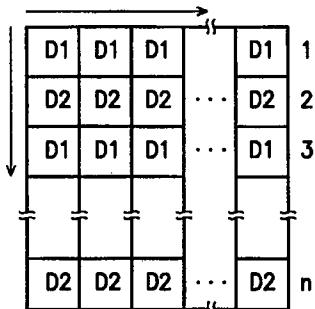
【図3】



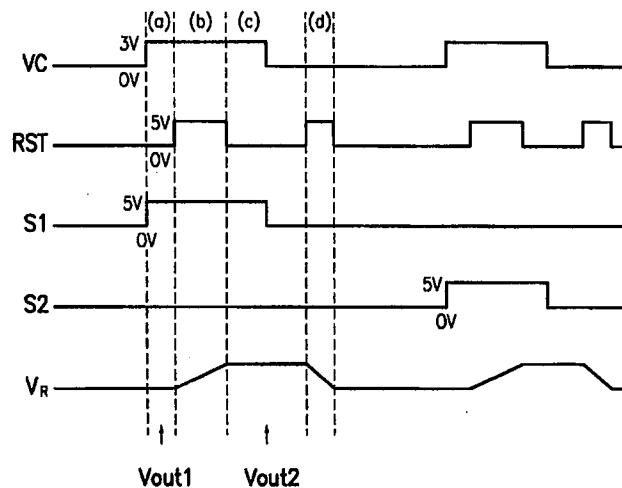
【図4】



【図5】



【図6】



【手続補正書】

【提出日】平成11年11月22日(1999.11.22)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正内容】

【書類名】明細書

【発明の名称】共用読み出し構造を有するアクティブイメージセンサ

【特許請求の範囲】

【請求項1】第1のフォトダイオードD1の陽極は接地され、陰極は第1のNMOSトランジスタM1のソースにカップルされており、その第1のNMOSトランジ

スタM1のゲートは第1の選択信号S1にカップルされる、第1のフォトダイオードD1およびその選択用の第1のNMOSトランジスタM1、

第2のフォトダイオードD2の陽極は接地され、陰極は第2のNMOSトランジスタM2のソースにカップルされており、その第2のNMOSトランジスタM2のゲートは第2の選択信号S2にカップルされる、第2のフォトダイオードD2およびその選択用の第2のNMOSトランジスタM2、ならびに前記第1および第2のNMOSトランジスタM1、M2のドレインは、第3のNMOSトランジスタM3のソースおよび第4のNMOSトランジスタM4のゲートとカップルされており、前記第3および第4のNMOSトランジスタM3。M4のドレインはいずれも、高電位と低電位の2段階の電圧値に切り

換える可変電圧源V Cにカップルされており、前記第3のNMOSトランジスタM 3のゲートはリセット信号R S Tにカップルされ、第4のNMOSトランジスタM 4のソースに読み出しの出力端がある、リセット用の第3のNMOSトランジスタおよび読み出し用の第4のNMOSトランジスタ、を有し、前記可変電圧源V Cが高電位のとき、前記第1のトランジスタM 1が前記第1の選択信号S 1の出力パルスを受けて、または第2のトランジスタM 2が前記第2の選択信号S 2の出力パルスを受けてonとなると、前記第4のトランジスタM 4は、4個のトランジスタM 1、M 2、M 3、M 4の接続点であるノードBの電圧に相当する第1の平衡電圧をソースから出力し、第3のNMOSトランジスタM 3にリセット信号R S Tが入力されてこれがonとなると、ノードBの電圧が別の電圧値に推移した後、リセット信号R S Tの除去とともに第3のトランジスタM 3が再びoffとなって、第4のトランジスタM 4のソースからノードBの電圧値に相当する第2の平衡電圧が outputされることにより、これら第2と第1の平衡電圧の差が、第1のフォトダイオードD 1又は第2のフォトダイオードD 2が感知した光度として取り出され、ついで、前記可変電圧源V Cを低電位に切り換え、前記第1の選択信号S 1又は第2の選択信号S 2の出力パルスを除去して第1のトランジスタM 1又は第2のトランジスタM 2をoffにした後、第3のトランジスタM 3をリセット信号R S Tによりonとすることにより、ノードBの電圧値をリセットすることを特徴とする、共用読み出し構造を有するアクティブイメージセンサ。

【請求項2】 前記第1の選択信号S 1と前記第2の選択信号S 2のパルスの出力時間が間が重なることはなく、また、前記第3のNMOSトランジスタがonになる時間は前記可変電圧源が高電圧状態にある時間よりも短いことを特徴とする、請求項1に記載の共用読み出し構造を有するアクティブイメージセンサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、アクティブイメージセンサ(active image sensor)、特に、共用読み出し構造を有するアクティブイメージセンサに関するものである。

【0002】

【従来の技術】 イメージセンサには一般に電荷結合デバイスが使用されるが、アクティブイメージセンサを使用することもできる。このアクティブイメージセンサとは、標準CMOS工程で生産されるNMOSトランジスタをフォトダイオードと組み合わせてできるものである。

【0003】 アクティブイメージセンサの回路図を図1に示した。図中示されるように、NMOSトランジスタ

T 1のドレインは定圧電圧源V Bに、ソースはフォトダイオードD pの陰極にそれぞれカップルされており、そのフォトダイオードD pの陽極は接地されている。NMOSトランジスタT 2のドレインは前記定圧電圧源V Bに、ソースはNMOSトランジスタT 3のドレインに、そしてゲートはフォトダイオードD pの陰極にそれぞれカップルされている。

【0004】 アクティブイメージセンサは、フォトダイオードD pで光度を感知すると、それを電気信号に変換してトランジスタT 3のソースから出力する。一連の読み出し操作はソースホロワと同じである。その作動原理について、図2のタイミング図をもとに詳しく説明する。ただし、図2は説明のための簡略図であり、実際の電圧値や時間スケールにもとづいて作成したものではない。

【0005】 先ず、選択信号S LのパルスがトランジスタT 3のソースに入力され、該トランジスタT 3をonにする。時限(1)の時、トランジスタT 1はまだoffの状態にあり、この時ノードAの電圧V INは、トランジスタT 2、T 3を経て増幅された後、readout端からV 1として出力される。時限(2)の時、トランジスタT 1はリセット信号R S Tのパルスを受けてonになり、ノードAの電圧に変化を生じさせる。そして時限(3)の時、トランジスタT 1は再びoffになり、ノードAの電圧V INはトランジスタT 2、T 3で転換された後、readout端からV 2として出力される。以上から、信号V 2-V 1が光度に相当することがわかる。

【0006】 一般的のイメージセンサは、上述したようなアクティブイメージセンサ複数個を行列状に配置したものの、各センサ素子においてイメージの役割を果たすのはフォトダイオードである。図3は、このようなイメージセンサのIC配線図である。このうち、点線の四角は各アクティブイメージセンサを表わしており、簡略化のため、導線部分は選択信号線S L、リセット信号線R S T、電圧源導線V B、および出力端導線readoutのみを示した。

【0007】 CMOS技術に基づき、各アクティブイメージセンサはそれぞれ選択信号線S T、リセット信号線R S Tの2本の制御線を使用しており、これらはいずれもポリシリコンを材料とする。また、電圧源導線V B、およびreadout端導線はいずれも金属を材料とする。

【0008】 図1、3によれば、電圧源導線V B、およびreadout端導線はそれぞれトランジスタT 1、T 2のドレイン、およびトランジスタT 3のソース(n形拡散域)にカップルしており、しかもトランジスタT 1のソースはトランジスタT 2のゲート(ポリシリコンよりもなる)にもカップルしているため、各アクティブイメージセンサとも接触域とNMOSトランジスタを3個

ずつ、そしてフォトダイオードを1個必要とする。

【0009】

【発明が解決しようとする課題】このように、従来型のアクティブイメージセンサにより構成されるイメージセンサでは、フォトダイオード（画素）で感知された光度の読み出しに、その各フォトダイオードごとに、トランジスタT1、T2、T3よりなる一組の読み出し回路を各別に必要とし、集積回路の面積を広くするともに製造工程を複雑にするという不利がある。

【0010】そこで、本発明は、相接する2つのアクティブイメージセンサのフォトダイオードが一組の読み出し回路を共用できるようなアクティブイメージセンサを提供し、これによって、集積回路の面積縮小、製造工程の複雑度の減少に大きく貢献しようとするものである。

【0011】

【課題を解決するための手段】本発明の共用読み出し構造を有するアクティブイメージセンサは、可変電圧源の電圧を適切な時間割方式で制御することにより、2つのフォトダイオード（画素）が1組の読み出し回路を共用することができるものであり、このようなアクティブイメージセンサはまた、従来型のアクティブイメージセンサが必要とする出力選択トランジスタを必要としない。しかも、本発明の共用読み出し構造を有するアクティブイメージセンサは、NMOSトランジスタを4個、フォトダイオードを2個、そして接触域を3個必要とするだけですむ。

【0012】すなわち、本発明の共用読み出し構造を有するアクティブイメージセンサは、第1のフォトダイオードD1の陽極は接地され、陰極は第1のNMOSトランジスタM1のソースにカップルされており、その第1のNMOSトランジスタM1のゲートは第1の選択信号S1にカップルされる、第1のフォトダイオードD1およびその選択用の第1のNMOSトランジスタM1、第2のフォトダイオードD2の陽極は接地され、陰極は第2のNMOSトランジスタM2のソースにカップルされており、その第2のNMOSトランジスタM2のゲートは第2の選択信号S2にカップルされる、第2のフォトダイオードD2およびその選択用の第2のNMOSトランジスタM2、ならびに第1および第2のNMOSトランジスタM1、M2のドレインは、第3のNMOSトランジスタM3のソースおよび第4のNMOSトランジスタM4のゲートとカップルされており、第3および第4のNMOSトランジスタM3、M4のドレインはいずれも、高電位と低電位の2段階の電圧値に切り換える可変電圧源VCにカップルされており、第3のNMOSトランジスタM3のゲートはリセット信号RSTにカップルされ、第4のNMOSトランジスタM4のソースに読み出しの出力端がある、リセット用の第3のNMOSトランジスタおよび読み出し用の第4のNMOSトランジスタ、を有する。そして、可変電圧源VCが高電位のと

き、第1のトランジスタM1が第1の選択信号S1の出力パルスを受けて、または第2のトランジスタM2が第2の選択信号S2の出力パルスを受けてonとなると、第4のトランジスタM4は、4個のトランジスタM1、M2、M3、M4の接続点であるノードBの電圧に相当する第1の平衡電圧をソースから出力する。また、第3のNMOSトランジスタM3にリセット信号RSTが入力されてこれがoffとなると、ノードBの電圧が別の電圧値に推移した後、リセット信号RSTの除去とともに第3のトランジスタM3が再びoffとなって、第4のトランジスタM4のソースからノードBの電圧値に相当する第2の平衡電圧が出力される。そして、これら第2と第1の平衡電圧の差が、第1のフォトダイオードD1又は第2のフォトダイオードD2が感知した光度として取り出され、ついで、可変電圧源VCを低電位に切り換え、第1の選択信号S1又は第2の選択信号S2の出力パルスを除去して第1のトランジスタM1又は第2のトランジスタM2をoffにした後、第3のトランジスタM3をリセット信号RSTによりonとすることにより、ノードBの電圧値をリセットする。

【0013】第1の選択信号S1と第2の選択信号S2のパルスの出力時間が間に重なることはなく、また、第3のNMOSトランジスタがonになる時間は可変電圧源が高電圧状態にある時間よりも短い。

【0014】このアクティブイメージセンサの動作をまとめるところになる。

(1) 可変電圧を高電位に切り換えると、第1（または第2）のNMOSトランジスタが第1（または第2）の選択信号の出力パルスを受けてonになり、第4のNMOSトランジスタはそのゲート電圧値に相当する電圧値をソースから出力して第1の平衡電圧状態に達する。

(2) 第3のNMOSトランジスタがリセット信号の出力パルスを受けてonになると、第4のNMOSトランジスタはそのゲート電圧値に相当する電圧値をソースから出力し、第2の平衡電圧状態に達する。第2および第1の平衡電圧の差が、第1（または第2）のフォトダイオードが感知した光度に相当する。

(3) 可変電圧を低電位に切り換えると、第1（または第2）の選択信号からパルスは出力されず、第1（または第2）のNMOSトランジスタはoffの状態になる。

(4) 第3のNMOSトランジスタがリセット信号の出力パルスを受けてonになると、第4のNMOSトランジスタのゲート電圧がリセットされ、第4のNMOSトランジスタはoffの状態になる。

(5) 以上の動作を繰り返し、各フォトダイオードが感知した光度を読み取っていく。

【0015】

【発明の実施の形態】本発明の目的、特徴および長所をさらに明瞭にするため、以下に本発明の実施例を挙げて

詳しく説明する。

【0016】実施例

図4に示されるように、本発明に係る共用読出し構造を有するアクティブイメージセンサの連結関係は次の通りである。第1のフォトダイオードD1の陽極は接地され、陰極は第1のNMOSトランジスタM1のソースにカップルされており、その第1のトランジスタM1のゲートは第1の選択信号S1にカップルされる。第2のフォトダイオードD2の陽極は接地され、陰極は第2のNMOSトランジスタM2のソースにカップルされており、第2のトランジスタM2のゲートは第2の選択信号S2にカップルされる。

【0017】第3のNMOSトランジスタM3のソースは、第1および第2のトランジスタ(M1、M2)両者のドレイン、ならびに第4のNMOSトランジスタM4のゲートにカップルされており、第3および第4のトランジスタ(M3、M4)両者のドレインは可変電圧源VCにカップルされており、第3のトランジスタのゲートはリセット信号RSTにカップルされる。

【0018】第1、第2の選択信号(S1、S2)およびリセット信号RSTの切り換えを時間割制御し、合わせて可変電圧源VCの電位を切り換えることにより、第1、第2のフォトダイオード(D1、D2)により感知された光度を、第4のNMOSトランジスタM4のソースにある出力端readoutから読取ることができる。ここで、可変電圧源VCは、高電圧と低電圧の2つの状態(例えば3Vと0Vなど)に切り換えることができる。

【0019】図5に示されたイメージセンサは、本発明の共用読出し構造を有するアクティブイメージセンサ複数個を行列状に配置したものである。ここではフォトダイオードの所在地のみを示してある。イメージセンサは、フォトダイオードが感知した光度を水平方向に沿って第1行から第n行まで読取り、それに処理を加えたものを光度として出力する。

【0020】本発明では上下に隣り合ったフォトダイオード(D1とD2)が合体して1つの単位となっており、第1、第2の選択信号(S1、S2)およびリセット信号RSTの切り換えを時間割制御し、合わせて可変電圧源VCの電位を切り換えることにより、共用読出し構造を有するアクティブイメージセンサとしての目的を達成している。

【0021】図6により、本発明の共用読出し構造を有するアクティブイメージセンサの作動原理を説明する。なお、この図6の波形タイミング図は説明のための簡略図であって、実際の電圧値や時間スケールに基づいて作成されたものではない。

【0022】可変電圧源VCが高電圧状態(3V)にあるとき、第1のトランジスタM1は第1の選択信号S1の出力パルス(5V)を受けてonとなる。図6中の時

限(a)の時、第4のトランジスタM4は、ノードBの電圧VRに相当する電圧値をソースにある出力端readoutから出力する。つまり、第1の平衡電圧Vout1が出力されるわけである。リセット信号の出力パルス(5V)が第3のNMOSトランジスタM3に達するとM3はonとなる。このときノードBの電圧VRは時限(b)を経て別の電圧値に推移する。

【0023】時限(c)の時、リセット信号の出力パルスは除去され、第3のトランジスタM3は再びoff状態となる。この時第4のトランジスタは、ノードBの電圧値に相当する電圧値、すなわち第2の平衡電圧Vout2を出力する。その第2と第1の平衡電圧の差(Vout2-Vout1)は、第1のフォトダイオードD1(あるいは第2のフォトダイオードD2)が感知した光度に相当する。ついで、可変電圧源VCを低電圧状態(0V)に切り換え、第1の選択信号S1の出力パルスを除去し、第1のトランジスタM1をoff状態にする。

【0024】時限(d)では、第3のトランジスタM3がリセット信号の出力パルス(5V)を受けてonとなり、これによってノードBの電圧値を可変電圧源VCの電位(0V)に近づけ、ノードBの電圧値をリセットする。以上よりフォトダイオードD1の読取りが完了する。

【0025】ついで、フォトダイオードD2が感知した光度を読取るには、第1のトランジスタM1と第1の選択信号S1を、第2のトランジスタM2と第2の選択信号S2でそれぞれ置き換え、上述した手続きを繰り返せばよい。

【0026】第1の選択信号S1と第2の選択信号S2のパルスの出力時間が重なることはなく、また、第3のトランジスタM3がonになる時間は可変電圧源VCが高電圧状態にある時間よりも短い。

【0027】

【発明の効果】以上詳述したところより明らかなどおり、本発明に係る共用読出し構造を有するアクティブイメージセンサは、1単位として、フォトダイオード2個に対し、NMOSトランジスタを4個、そして接触域を3個必要とするだけである。これに対し、従来型のイメージセンサは、1単位として、フォトダイオード1個に対し、NMOSトランジスタ3個、そして接触域3個が必要である。

【0028】したがって、解像度が640×480の場合を例にとると、従来型のイメージセンサを利用した場合は、フォトダイオードが640×480個、NMOSトランジスタと接触域をそれぞれ640×480×3個が必要であるのに対し、本発明によるイメージセンサを使用すれば、フォトダイオードが640×480個、NMOSトランジスタが640×480×2個、接触域が640×480×1、5個、ですみ、必要なNMOSトランジスタと接触域の数を大幅に減らせることがわか

る。よって、集積回路の製作時に面積の大幅な削減が可能であり、性能向上につながる。

【0029】また、本発明で必要な回路は簡単且つ制御しやすいため、信頼度の向上に有用である。このほか、本発明によるアクティブイメージセンサは、従来型のイメージセンサに必要な出力選択トランジスタを必要としない。

【0030】以上に好ましい実施例を開示したが、これらは決して本発明の範囲を限定するものではなく、当該技術に熟知した者ならば誰でも、本発明の精神と領域を脱しない範囲内で各種の変動や潤色を加えることができるものであり、従って本発明の保護範囲は特許請求の範囲で指定した内容を基準とする。

【図面の簡単な説明】

【図1】従来型のアクティブイメージセンサの回路図である。

【図2】図1で示された回路の作動タイミング図である。

【図3】従来型のアクティブイメージセンサで構成されるイメージセンサの概要配置図である。

【図4】本発明の実施例によるアクティブイメージセンサの回路図である。

【図5】本発明によるアクティブイメージセンサで構成されるイメージセンサの概要配置図である。

【図6】図4で示される回路の作動タイミング図である。

【符号の説明】

V B	定圧電圧源
T 1～T 3	NMOSトランジスタ
D p	フォトダイオード
R S T	リセット信号
V I N	ノードAにおける電圧
R e a d o u t	出力端
S L	選択信号
V C	可変電圧源
M 1～M 4	NMOSトランジスタ
V R	ノードBにおける電圧
S 1	第1の選択信号
S 2	第2の選択信号
D 1、 D 2	フォトダイオード